

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)

Applicants: Hotta et al.)

Serial No.)

Filed: July 2, 2003)

For: THIN FILM TRANSISTOR DEVICE, METHOD)
OF MANUFACTURING THE SAME, AND)
THIN FILM TRANSISTOR SUBSTRATE AND)
DISPLAY HAVING THE SAME)

*I hereby certify that this paper is being deposited with the
U.S. Postal Service as EXPRESS MAIL in an envelope
addressed to: Mail Stop Patent Application,
Commissioner for Patents, P.O. Box 1450, Alexandria,
VA 22313-1450 on this date.*

07/02/03

Dail Can
Express Mail No. EL846179157US

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. §119 on the basis of
the foreign applications identified below:

Japanese Patent Application No. 2002-197881, filed July 5, 2002.

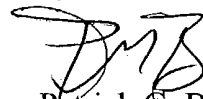
A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

July 2, 2003

By



Patrick G. Burns, Reg. No. 29,367

300 South Wacker Drive
Suite 2500
Chicago, Illinois 60606
Telephone: 312.360.0080
Facsimile: 312.360.9315

1324.08135
1-PP0203800
日本国特許庁(3/2) 360-0080
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月 5日

出願番号

Application Number:

特願2002-197881

[ST.10/C]:

[JP2002-197881]

出願人

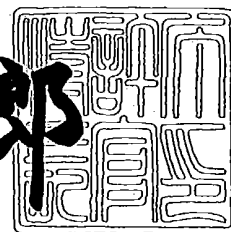
Applicant(s):

富士通ディスプレイテクノロジーズ株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3027961

【書類名】 特許願

【整理番号】 0240273

【提出日】 平成14年 7月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133
H01L 29/786
H01L 21/336

【発明の名称】 薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

【氏名】 堀田 和重

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

【氏名】 黒澤 紀雄

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100101214

【弁理士】

【氏名又は名称】 森岡 正樹

【手数料の表示】

【予納台帳番号】 047762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 委任状 1

【援用の表示】 平成14年6月26日提出の包括委任状

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置

【特許請求の範囲】

【請求項 1】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に第 1 導電型の薄膜トランジスタのゲート電極を形成し、

前記ゲート電極をマスクとして前記半導体層に第 1 導電型の不純物を注入してソース及びドレイン領域及び低濃度不純物領域を形成し、

前記低濃度不純物領域上にマスク層を形成し、

前記マスク層を用いて前記第 1 の絶縁膜をパターニングしてゲート絶縁膜を形成し、引き続き前記マスク層を用いて第 1 導電型の不純物を前記ソース及びドレイン領域にさらに注入し、

前記マスク層を除去した後、前記ソース及びドレイン領域上、及び前記低濃度不純物領域上に所定膜厚の第 2 の絶縁膜を形成してレーザ光を照射し、前記ソース及びドレイン領域、及び前記低濃度不純物領域の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 2】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に第 1 導電型の薄膜トランジスタのゲート電極を形成し、

所定膜厚の第 2 の絶縁膜を形成してから前記第 1 及び第 2 の絶縁膜をパターニングして、前記ゲート電極下及び近傍の前記半導体層上にゲート絶縁膜及び前記所定膜厚のマスク層を形成し、

前記ゲート電極、前記ゲート絶縁膜及び前記マスク層をマスクとして前記半導体層に第 1 導電型の不純物を注入してソース及びドレイン領域を形成し、

前記ゲート電極をマスクとして、不純物の注入条件を変えて前記半導体層に第 1 導電型の不純物を注入して前記ゲート電極近傍に低濃度不純物領域を形成し、

レーザ光を照射して、前記ソース及びドレイン領域、及び前記低濃度不純物領域の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 3】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に第 1 導電型の薄膜トランジスタのゲート電極を形成し、

前記ゲート電極をマスクとして前記半導体層に第 1 導電型の不純物を注入してソース及びドレイン領域及び低濃度不純物領域を形成し、

所定膜厚の第 2 の絶縁膜を形成してから前記第 1 及び第 2 の絶縁膜をパターニングして、前記ゲート電極下及び近傍の前記低濃度不純物領域上にゲート絶縁膜及び前記所定膜厚のマスク層を形成し、

前記ゲート電極、前記ゲート絶縁膜及び前記マスク層をマスクとして、不純物の注入条件を変えて前記半導体層に第 1 導電型の不純物を注入してソース及びドレイン領域を形成し、

レーザ光を照射して、前記ソース及びドレイン領域、及び前記低濃度不純物領域の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の薄膜トランジスタ装置の製造方法において、

前記第 2 の絶縁膜の膜厚は、前記第 1 導電型の薄膜トランジスタの低濃度不純物領域とソース及びドレイン領域との間で前記レーザ光の反射率がほぼ同一になるように決定されること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 5】

請求項 4 記載の薄膜トランジスタ装置の製造方法において、

前記第 2 の絶縁膜の膜厚は、前記第 1 の絶縁膜の膜厚に基づいて決定されること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 6】

基板上に形成された所定形状の半導体層と、

前記半導体層上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成された第 1 導電型の薄膜トランジスタのゲート電極と、

前記半導体層に第 1 導電型の不純物を注入して形成されたソース及びドレイン領域及び低濃度不純物領域と、

前記ソース及びドレイン領域上、及び前記低濃度不純物領域上に形成された所定膜厚の第 2 の絶縁膜と

を有することを特徴とする薄膜トランジスタ装置。

【請求項 7】

基板上に形成された所定形状の半導体層と、

前記半導体層上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成された第 1 導電型の薄膜トランジスタのゲート電極と、

前記ゲート電極下及び近傍の前記半導体層上に形成されたゲート絶縁膜と、

前記半導体層に第 1 導電型の不純物を注入する際のマスク層として機能する第 2 の絶縁膜と、

前記ゲート電極、前記ゲート絶縁膜及び前記第 2 の絶縁膜をマスクとして前記半導体層に第 1 導電型の不純物を注入して形成されたソース及びドレイン領域と

前記ゲート電極をマスクとして、不純物の注入条件を変えて前記半導体層に第 1 導電型の不純物を注入して前記ゲート電極近傍に形成された低濃度不純物領域と

を有することを特徴とする薄膜トランジスタ装置。

【請求項 8】

基板上に形成された所定形状の半導体層と、

前記半導体層上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成された第 1 導電型の薄膜トランジスタのゲート電極と、

前記半導体層に第 1 導電型の不純物を注入して形成された低濃度不純物領域と

前記ゲート電極下及び近傍の前記半導体層上に形成されたゲート絶縁膜と、

前記半導体層に第 1 導電型の不純物を注入する際のマスク層として前記低濃度不純物領域上に形成された第 2 の絶縁膜と、

前記ゲート電極、前記ゲート絶縁膜及び前記第 2 の絶縁膜をマスクとして前記半導体層に第 1 導電型の不純物を注入して形成されたソース及びドレイン領域とを有することを特徴とする薄膜トランジスタ装置。

【請求項 9】

表示領域内でマトリクス状に配置された画素電極に接続される第 1 の薄膜トランジスタ装置と、表示領域外の周辺回路に形成された第 2 の薄膜トランジスタ装置とを有する薄膜トランジスタ基板において、

前記第 1 及び第 2 の薄膜トランジスタ装置は、請求項 6 乃至 8 のいずれか 1 項に記載の薄膜トランジスタ装置を含んでいることを特徴とする薄膜トランジスタ基板。

【請求項 10】

スイッチング素子となる薄膜トランジスタ装置を有する基板を備える表示装置において、

前記基板は、請求項 9 記載の薄膜トランジスタ基板であることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ (TFT: Thin Film Transistor) 装置及びそれらを集積した薄膜トランジスタ基板 (TFT 基板) 及びその製造方法に関し、より詳しくは多結晶シリコン (ポリシリコン (p-Si)) の半導体層を用いた TFT を集積した TFT 基板及びその製造方法、並びに表示

装置（特に液晶表示装置（LCD））に関する。

【0002】

【従来の技術】

液晶表示装置は、軽量かつ薄型で低消費電力であるため、携帯情報端末やノート型PC（Personal Computer）の表示部、あるいはビデオカメラのファインダなどの幅広い分野に用いられている。近年、低コスト化を目的として、表示領域内の画素駆動用TFTの形成と同時に表示領域外にTFTを含む周辺回路を形成する周辺回路一体型LCDが普及しつつある。周辺回路一体型LCDは、例えば低温ポリシリコン製造プロセスにより製造される。画素駆動用TFT及び周辺回路TFTには、チャネル領域がポリシリコンで形成されたp-SiTFTが用いられる。画素駆動用のp-SiTFTは、リーク電流による表示不良を低減させるため、チャネル領域とソース領域及びドレイン領域との間に低濃度不純物注入領域（LDD：Lightly Doped Drain）をそれぞれ設ける必要がある。一方、周辺回路部のTFTは、リーク電流による影響が少ないのと、高速動作が要求される観点からLDD領域は形成しない。

【0003】

低消費電力を実現するため周辺回路のTFTは通常、CMOS回路で構成される。CMOS回路を形成するには、同一基板上にチャネル領域がn型の導電型のn-chTFTとチャネル領域がp型の導電型のp-chTFTとを形成する必要がある。このため、CMOS回路の形成では、単一導電型のTFTの製造に比して製造工程が多くなる。

【0004】

LDD領域を有するTFTとLDD領域を有さないTFTを同一基板上に混在させて形成する従来方法について図11を用いて説明する。図11は、TFT基板の製造方法の第1の従来例を示す工程断面図である。図11では、LDD領域を有するn-chTFT形成領域を図の左側に示し、LDD領域を有さないn-chTFT形成領域を右側に示している。

【0005】

まず、図11（a）に示すように、ガラス等の透明絶縁性基板901上の全面

に、プラズマCVD装置を用いて下地SiN膜902とSiO₂膜903とを順に成膜する。続いてSiO₂膜903上の全面にアモルファスシリコン(a-Si)を成膜する。次に、エキシマレーザを用いてa-Siを結晶化させてp-Si膜904を形成する。その後、全面にレジストを塗布してパターニングし、パターニングされたレジスト層をマスクとしてフッ素系のガスを用いたドライエッチングを行い、アイランド状のp-Si膜904a及び904bを形成する。

【0006】

次に、レジスト層を剥離して、p-Si膜904a及び904b上の基板全面にプラズマCVD装置を用いてSiO₂を成膜し、絶縁膜(ゲート電極下ではゲート絶縁膜という)905を形成する。次に、絶縁膜905上の全面にゲート電極となるAl-Nd膜906をスパッタ装置を用いて成膜する。次に、レジストを塗布してパターニングし、Al-Nd膜906上にゲート電極形状のレジストマスク907a及び907bを形成する。当該レジストマスクを使用してAlエッチャーでAl-Nd膜906をエッチングし、ゲート電極906a及び906bを形成する。その後、レジストマスク907a及び907bを剥離する。

【0007】

次に、図11(b)に示すように、ゲート電極906a及び906bをマスクとして、イオンドーピング装置を用いて例えばリン(P)イオン等のn型不純物を絶縁膜905を介して注入する1回目のドーピングを行う。1回目のドーピングでは注入する不純物の濃度は相対的に低くする。これにより、LDDが形成されるn-chTFT形成領域のp-Si膜904aのうち、LDD領域並びにソース及びドレイン領域となる部分9040にはn型不純物が注入され、チャネル領域となる部分9041には不純物が注入されない。また、LDDを形成しないn-chTFT形成領域のp-Si膜904bのうち、ソース及びドレイン領域となる部分9042にはn型不純物が注入され、チャネル領域となる部分9043には不純物が注入されない。

【0008】

次に、図11(c)に示すように、LDDが形成されるn-chTFTのLDD領域となる部分及びゲート電極906aを覆うように、レジスト層908を形

成する。レジスト層908をマスクとして、イオンドーピング装置を用いて例えばPイオン等のn型不純物を絶縁膜905を介して注入する2回目のドーピングを行う。2回目のドーピングでの不純物濃度は1回目のドーピングより高くする。これにより、LDDが形成されるn-chTFT形成領域のp-Si膜904aには、n型不純物が比較的高濃度で注入されたソース及びドレイン領域9044と、ソース及びドレイン領域9044より低濃度でn型不純物が注入されたLDD領域9045と、全くn型不純物が注入されていないチャネル領域9041とが形成される。一方、LDDを形成しないn-chTFT形成領域のp-Si膜904bには、n型不純物が比較的高濃度で注入されたソース及びドレイン領域9042と、全くn型不純物が注入されていないチャネル領域9043とが形成される。1回目及び2回目のドーピングは、絶縁膜905を介して不純物を注入するため、注入時間が長くなってしまう。

【0009】

次に、図11(d)に示すように、レジスト層908をアッシングにより除去するが、長時間に渡る2回目のドーピングによりレジスト層908は変質しており完全には除去し難い状況となる。このため、アッシングしてもレジスト残渣909が残ってしまう。

【0010】

このような不純物注入時間の長時間化とレジスト残渣の問題を解決する方法が特開平9-246558号公報に開示されている。当該公報に開示された従来方法について図12の製造工程断面図を用いて説明する。図12では、LDD領域を有するn-chTFT形成領域を図の左側に示し、LDD領域を有さないn-chTFT形成領域を右側に示している。

【0011】

まず、図12(a)に示すように、ガラス等の透明絶縁性基板920上の全面に、プラズマCVD装置を用いて下地SiN膜921とSiO₂膜922とを順に成膜する。続いて、SiO₂膜922上の全面にa-Siを成膜する。次に、エキシマレーザを用いてa-Siを結晶化させてp-Si膜923を形成する。その後、全面にレジストを塗布してパターンニングし、パターンニングされたレジス

ト層をマスクとしてフッ素系のガスを用いたドライエッチングを行い、アイランド状の $p-Si$ 膜を形成する。

【0012】

次に、レジスト層を剥離して、プラズマCVD装置を用いて $p-Si$ 膜上の基板全面に SiO_2 を成膜し、絶縁膜（ゲート電極下ではゲート絶縁膜という）924を形成する。次に、絶縁膜924上の全面にスパッタ装置を用いてゲート電極となる $Al-Nd$ 膜925を成膜する。次に、レジストを塗布してパターニングし、 $Al-Nd$ 膜925上にゲート電極形状のレジストマスクを形成する。当該レジストマスクを用いて Al エッチャーで $Al-Nd$ 膜をエッチングし、ゲート電極925a及び925bを形成する。その後、レジストマスクを剥離する。

【0013】

次に、ゲート電極925a及び925bをマスクとして、イオンドーピング装置を用いて例えば P イオン等の n 型不純物を絶縁膜924を介して注入する1回目のドーピングを行う。1回目のドーピングでは注入する不純物の濃度は相対的に低くする。これにより、LDDが形成される $n-chTFT$ 形成領域の $p-Si$ 膜のうち、LDD領域並びにソース及びドレイン領域となる部分9231には n 型不純物が注入され、チャンネル領域となる部分9232には不純物が注入されない。また、LDDを形成しない $n-chTFT$ 形成領域の $p-Si$ 膜のうち、ソース及びドレイン領域となる部分9233には n 型不純物が注入され、チャンネル領域となる部分9234には不純物が注入されない。

【0014】

次に、図12(b)に示すように、 SiO_2 等からなる絶縁膜924とは異なる形成材料（例えば SiN 膜）からなる絶縁膜926を基板全面に形成する。次に、LDDが形成される $n-chTFT$ のゲート電極925aと $p-Si$ 膜のLDD領域となる部分とを覆うようにレジスト層927aを形成する。レジスト層927aをマスクとして絶縁膜926をエッチングして、LDDが形成される $n-chTFT$ のゲート電極925a及び $p-Si$ 膜のLDD領域となる部分を覆うような絶縁膜926aを形成する。LDDを形成しない $n-chTFT$ 形成領域では絶縁膜926が全て除去される。その後、レジストマスク927aを剥離

する。

【0015】

次に、図12(c)に示すように、絶縁膜926aをマスクとして、イオンドーピング装置を用いて例えばPイオン等のn型不純物を絶縁膜924を介して注入する2回目のドーピングを行う。2回目のドーピングでの不純物濃度は1回目のドーピングより高くする。これにより、LDDが形成されるn-chTFT形成領域のp-Si膜には、n型不純物が比較的高濃度で注入されたソース及びドレイン領域9235と、ソース及びドレイン領域9235より低濃度でn型不純物が注入されたLDD領域9236と、全くn型不純物が注入されていないチャネル領域9232とが形成される。一方、LDDを形成しないn-chTFT形成領域のp-Si膜には、n型不純物が比較的高濃度で注入されたソース及びドレイン領域9233と、全くn型不純物が注入されていないチャネル領域9234とが形成される。

【0016】

これ以降の製造工程については説明を省略するが、このようにすれば、図11(c)に示したレジスト層908をマスクとして用いずに高濃度の不純物を注入できる。ところがこの方法では、レーザー光を照射して不純物を活性化する際にSiNで形成された絶縁膜926a中に含まれる水素の影響で、LDD領域9236付近にアブレーションが生じてしまうという問題が起きる。

【0017】

上記の問題を解決するため、さらに他のTFT基板の製造方法が提案されている。図13は、TFT基板の製造方法の第3の従来例を示す工程断面図である。図13では、LDD領域を有するn-chTFT形成領域を図の左側に示し、LDD領域を有さないn-chTFT形成領域を右側に示している。

【0018】

まず、図13(a)に示すように、ガラス等の透明絶縁性基板940上の全面に、プラズマCVD装置を用いて下地SiN膜941とSiO₂膜942とを順に成膜する。続いてSiO₂膜942上の全面にa-Siを成膜する。次に、エキシマレーザーを用いてa-Siを結晶化させてp-Si膜943を形成する。そ

の後、全面にレジストを塗布してパターニングし、パターニングされたレジスト層をマスクとしてフッ素系のガスを用いたドライエッチングを行い、アイランド状の $p-Si$ 膜を形成する。

【0019】

次に、レジスト層を剥離して、 $p-Si$ 膜の上の基板全面に、プラズマCVD装置を用いて SiO_2 を成膜し、絶縁膜（ゲート電極下ではゲート絶縁膜という）944を形成する。次に、絶縁膜944上の全面にゲート電極となる $Al-Nd$ 膜945をスパッタ装置を用いて成膜する。次に、レジストを塗布してパターニングし、 $Al-Nd$ 膜945上にゲート電極形状のレジストマスクを形成する。当該レジストマスクを用いて Al エッチャーで $Al-Nd$ 膜をエッチングし、ゲート電極945a及び945bを形成する。

【0020】

次に、図13（b）に示すように、LDDが形成される $n-chTFT$ のゲート電極945aと $p-Si$ 膜943aのLDD領域となる部分とを覆うようにレジスト層946aを形成する。レジスト層946a及びゲート電極945bをマスクとして絶縁膜944をエッチングして、LDDが形成される $n-chTFT$ 形成領域の $p-Si$ 膜943aのチャンネル領域及びLDD領域となる部分を覆うような絶縁膜944aを形成する。また、LDDを形成しない $n-chTFT$ 形成領域の $p-Si$ 膜943bのチャンネル領域となる部分を覆うような絶縁膜944bを形成する。その後、レジストマスク946aを剥離する。

【0021】

次に、図13（c）に示すように、ゲート電極945a及び945bをマスクとして、イオンドーピング装置を用いて高加速度低濃度で例えば P イオン等の n 型不純物を注入する。これにより、LDDが形成される $n-chTFT$ のソース及びドレイン領域9433と、LDDを形成しない $n-chTFT$ のソース及びドレイン領域9434とには、低濃度の n 型不純物が注入される。また、LDDが形成される $n-chTFT$ のLDD領域9432には、絶縁膜944aを介して低濃度の n 型不純物が注入される。

【0022】

続いて、ゲート電極 945a と 945b、及び絶縁膜 944a をマスクとして、イオンドーピング装置を用いて低加速度高濃度で例えば P イオン等の n 型不純物を注入する。これにより、LDD が形成される n-chTFT のソース及びドレイン領域 9433 と、LDD を形成しない n-chTFT のソース及びドレイン領域 9434 とには、高濃度の n 型不純物が注入される。なお、ゲート電極 945a 及び 945b がマスクとなるため、チャンネル領域 9431 及び 9435 には不純物が注入されない。

【0023】

次に、図 13 (d) に示すように、注入された不純物を活性化するためにエキシマレーザを照射する。このとき、ソース及びドレイン領域 9433 上及び 9434 上には絶縁膜 944 が形成されていないが、LDD 領域 9432 上には絶縁膜 944a が形成されている。このため、領域によりレーザ光の反射率が異なってしまうという問題がある。すなわち、同一の条件でレーザ光を照射すると、ソース及びドレイン領域 9433 及び 9434 と LDD 領域 9432 との間で不純物の活性化が不均一となってしまう。

【0024】

図 14 は、p-Si 膜上に絶縁膜（ここでは SiO₂ 膜）を形成した場合の絶縁膜の膜厚と反射率との関係を示すグラフである。縦軸は反射率を表し、横軸はゲート絶縁膜の膜厚 (nm) を表している。図 14 に示すように、膜厚に対する反射率の変化を示すグラフの波形は、レーザ光の波長を λ とし、絶縁膜の屈折率を n とすると、周期が $\lambda / (2 \times n)$ の COS カーブ（余弦曲線）となる。

【0025】

ソース及びドレイン領域 9433 及び 9434 では、絶縁膜 944 が形成されていない（絶縁膜厚 = 0）ため、グラフ上の点 951 で示す反射率となる。ところが絶縁膜 944 が 30 nm 程度成膜されると、グラフ上の点 952 で示す反射率となる。このように反射率が異なると不純物の活性化が不均一となってしまう、素子の信頼性が低下してしまうことになる。

【0026】

絶縁膜の膜厚をコサイン曲線の周期の整数倍にすれば、グラフ上の点 953 で

示すように、絶縁膜944が形成されていないときの反射率と等しくなる。エキシマレーザの波長を308nmとし、絶縁膜(SiO_2)944の屈折率を1.463とすると、周期 λ は110nm程度になる。すなわち、絶縁膜944の膜厚を例えば110nm程度にすれば、絶縁膜944が形成されていない場合と同じ反射率になる。このため、従来は絶縁膜944の膜厚を110nm程度にすることにより、注入された不純物を均一に活性化させている。しかし、絶縁膜944の膜厚はより薄くすることが求められており、110nm程度ではなく例えば30nm程度にしなければならない場合が生じている。

【0027】

次に、図15乃至図17を用いて低電圧高速駆動の周辺回路をCMOSで構成し、画素駆動用薄膜トランジスタをn-chTFTとした場合におけるp-SiTFTの製造方法の一例を説明する。各図において、LDDを有するn-chTFTの製造工程を左側に示し、LDDを有さないn-chTFTの製造工程を中央に示し、LDDを有さないp-chTFTの製造工程を右側に示している。LDDを有するn-chTFTは画素マトリクス部に形成され、LDDを有さないn-chTFT及びp-chTFTは低電圧高速駆動の周辺回路部分に形成される。低電圧高速駆動の周辺回路部分では、LDDを有していなくてもホットキャリア現象による特性劣化を抑制できるので周辺回路のCMOSではLDDを形成しない。

【0028】

まず、図15(a)に示すように、ガラス等の透明絶縁性基板960上の全面に、プラズマCVD装置を用いて下地SiN膜961と SiO_2 膜962とをこの順に成膜する。続いて、 SiO_2 膜962上の全面にa-Siを成膜する。次に、エキシマレーザを用いてa-Siを結晶化させてp-Si膜963を形成する。

【0029】

次に、図15(b)に示すように、パターニングされたレジスト層964a、964b及び964cを形成する。当該レジスト層964a、964b及び964cをマスクとしてフッ素系のガスを用いたドライエッチングを行ってp-Si

膜の一部を除去し、アイランド状のp-Si膜963a、963b及び963cを形成する。その後、レジスト層964a、964b及び964cを剥離する。

【0030】

次に、図15(c)に示すように、プラズマCVD装置を用いてp-Si膜963a、963b及び963c上の基板全面にSiO₂を成膜し、絶縁膜（ゲート電極下ではゲート絶縁膜として機能する）965を形成する。次に、絶縁膜965上の全面に、スパッタ装置を用いてゲート電極となるAl-Nd膜966を成膜する。

【0031】

次に、図15(d)に示すように、Al-Nd膜966上にレジストを塗布してパターニングし、ゲート電極形状のレジストマスク967a、967b及び967cを形成する。レジストマスク967a、967b及び967cを用いてAlエッチャーでAl-Nd膜966をエッチングし、ゲート電極966a、966b及び966cを形成する。その後、レジストマスク967a、967b及び968cを剥離する。

【0032】

次に、図15(e)に示すように、LDDが形成されるn-chTFT形成領域のp-Si膜963aのLDD領域となる部分及びゲート電極966aを覆うようにレジスト層968aをパターニングする。レジスト層968a及びゲート電極966b及び966cをマスクとして絶縁膜965をドライエッチングする。これにより、LDDが形成されるn-chTFT形成領域のp-Si膜963aのソース及びドレイン領域となる部分の上に成膜された絶縁膜965が除去され、p-Si膜963aのLDD領域及びチャネル領域となる部分の上には絶縁膜965aが残存する。また、LDDを形成しないn-chTFT形成領域のp-Si膜963bのソース及びドレイン領域となる部分の上に成膜された絶縁膜965が除去され、p-Si膜963bのチャネル領域となる部分の上にはゲート絶縁膜965bが残存する。LDDを形成しないp-chTFT形成領域のp-Si膜963cのソース及びドレイン領域となる部分の上に成膜された絶縁膜965が除去され、p-Si膜963cのチャネル領域となる部分の上にはゲート絶縁膜965cが残存する。

ト絶縁膜965cが残存する。その後、レジスト層968aを剥離する。

【0033】

次に、図16(a)に示すように、LDDが形成されるn-chTFT形成領域についてはゲート電極966a及び絶縁膜965aをマスクとして、LDDを形成しないn-chTFT形成領域及びp-chTFT形成領域についてはゲート電極966b及び966cをマスクとして、イオンドーピング装置を用いて例えばPイオン等のn型不純物を低加速度高濃度で注入する。これにより、LDDが形成されるn-chTFT形成領域のp-Si膜963aのソース及びドレイン領域9631には、高濃度のn型不純物が注入される。また、LDDを形成しないn-chTFT形成領域のp-Si膜963bのソース及びドレイン領域9633と、p-chTFTのソース及びドレイン領域9635とも、高濃度のn型不純物が注入される。

【0034】

なお、ゲート電極966a、966b及び966cがマスクとなるため、LDDが形成されるn-chTFT形成領域のp-Si膜963aのチャネル領域及びLDD領域となる部分9632と、LDDを形成しないn-chTFT形成領域のp-Si膜のチャネル領域9634、LDDを形成しないp-chTFT形成領域のp-Si膜のチャネル領域となる部分9636にはn型不純物は注入されない。

【0035】

次に、ゲート電極966a、966b及び966cをマスクとして、イオンドーピング装置を用いて例えばPイオン等のn型不純物を高加速度低濃度で注入する。これにより、LDDが形成されるn-chTFTのソース及びドレイン領域9633に低濃度のn型不純物がさらに注入されるとともに、絶縁膜965aを介して低濃度のn型不純物が注入され、p-Si膜にLDD領域9637が形成される。LDDを形成しないn-chTFT及びp-chTFTのソース及びドレイン領域9633及び9635に低濃度のn型不純物がさらに注入される。

【0036】

次に、図16(c)に示すように、LDDが形成されるn-chTFT形成領

域及びLDDを形成しないn-chTFT形成領域の全体をそれぞれ覆うようにパターニングされたレジスト層969a及び969bを形成する。次に、レジスト層969a及び969b並びにゲート電極966cをマスクとして、イオンドーピング装置を用いて例えばボロン(B)イオン等のp型不純物を低加速度高濃度で注入する。これにより、LDDを形成しないp-chTFTのソース及びドレイン領域9635にp型不純物が注入される。ソース及びドレイン領域9635にはn型不純物が注入されているため、より多くのp型不純物を注入することによりn型からp型へ反転させる。なお、ゲート電極966cがマスクとなるため、p-Si膜963cのチャネル領域9636にはp型不純物が注入されない。その後、レジストマスク969a及び969bを剥離する。

【0037】

次に、図16(d)に示すように、ソース及びドレイン領域9631、9633及び9635、LDD領域9637にエキシマレーザ装置からのレーザ光を照射して、注入されたn型及びp型不純物を活性化する。

【0038】

次に、図17(a)に示すように、ゲート電極966a、966b及び966c上の基板全面に、プラズマCVD装置を用いて例えばSiO₂を成膜して第1の層間絶縁膜970を形成する。

【0039】

次に、図17(b)に示すように、コンタクトホールを開口するためのレジストマスク971を形成し、第1の層間絶縁膜970をエッチングして各TFTのp-Si膜のソース及びドレイン領域の上に成膜された第1の層間絶縁膜970の一部を除去する。

【0040】

次いで、図17(c)に示すように、レジストマスク971を剥離した後、ソース及びドレイン電極形成用の導電性薄膜を成膜する。次いで、レジストを塗布してパターニングし、パターニングされたレジスト層をマスクに導電性薄膜をエッチングすることにより、ソース及びドレイン電極972を形成する。図示は省略したが、全面に第2の層間絶縁膜を成膜し、コンタクトホールを開口後透明画

素電極を形成すれば液晶表示装置用TFT基板が完成する。

【0041】

【発明が解決しようとする課題】

近年、さらなる低消費電力化と周辺回路部の高速動作が要求されており、その要求を満たすにはゲート絶縁膜の膜厚を薄くし、駆動電圧を低く抑える必要がある。しかしながら、上記製造方法にゲート絶縁膜の薄膜化を適用すると以下に示す2つの問題が生じる。第1は、上記製造方法では絶縁膜（ゲート絶縁膜）をマスクとして高濃度不純物を注入するため、絶縁膜が薄膜化するとLDD領域にも多量の不純物が注入されてしまうという問題である。図18（a）は、図13（c）における絶縁膜944aの膜厚を薄くした例を示している。図18（a）に示すように、低加速度高濃度でn型不純物を注入すると、薄膜化によりマスクの機能が低下した絶縁膜944a'を介してかなりの量の不純物が絶縁膜944a'の下層のLDD領域9432に注入されてしまい、当該領域がLDDとして機能しなくなってしまう。なお、LDDが形成されないn-chTFT側はゲート絶縁膜944bが薄膜化してゲート絶縁膜944b'となっても、ゲート絶縁膜をマスクとして用いないので問題は生じない。

【0042】

第2は、レーザ活性化のためにエキシマレーザから射出するレーザ光の薄膜の絶縁膜（例えば SiO_2 ）944a'表面での反射率が、光の干渉作用により変化してしまいう問題である。この問題により、高濃度の不純物が注入されたソース及びドレイン領域と低濃度の不純物が注入されたLDD領域に照射されるエネルギーに差が生じて両領域を同時に十分活性化させるのが困難になる。図18（b）に示すように、ソース及びドレイン領域9433上層は露出しているのに対し、LDD領域9432上層はゲート絶縁膜944a'で覆われている。このため、基板全面にレーザ光を照射しても、ソース及びドレイン領域9433とLDD領域9432とでは照射されるレーザ光の反射率が異なる。図14に示したように、ソース及びドレイン領域9433とLDD領域9432の反射率を揃えるには絶縁膜944a'を厚くせざるを得ない。

【0043】

本発明の目的は、良好な特性及び高い信頼性の得られる薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置を提供することにある。

【 0 0 4 4 】

【課題を解決するための手段】

上記目的は、基板上に所定形状の半導体層を形成し、前記半導体層上に第1の絶縁膜を形成し、前記第1の絶縁膜上に第1導電型の薄膜トランジスタのゲート電極を形成し、前記ゲート電極をマスクとして前記半導体層に第1導電型の不純物を注入してソース及びドレイン領域及び低濃度不純物領域を形成し、前記低濃度不純物領域上にマスク層を形成し、前記マスク層を用いて前記第1の絶縁膜をパターニングしてゲート絶縁膜を形成し、引き続き前記マスク層を用いて第1導電型の不純物を前記ソース及びドレイン領域にさらに注入し、前記マスク層を除去した後、前記ソース及びドレイン領域上、及び前記低濃度不純物領域上に所定膜厚の第2の絶縁膜を形成してレーザ光を照射し、前記ソース及びドレイン領域、及び前記低濃度不純物領域の不純物を活性化することを特徴とする薄膜トランジスタ装置の製造方法によって達成される。

【 0 0 4 5 】

【発明の実施の形態】

〔第1の実施の形態〕

本発明の第1の実施の形態による薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置としての液晶表示装置について図1乃至図5を用いて説明する。まず、本実施の形態による液晶表示装置について図1を用いて説明する。液晶表示装置100は、TFT基板110とTFT基板110に所定のセルギャップで対向して貼り合わされた対向基板（図示せず）とを有している。両基板間には液晶が封止されている。TFT基板110は、複数の画素がマトリクス状に配列された画素マトリクス領域111と、画素マトリクス領域111の周囲の周辺回路領域に形成されたドレイン駆動回路112とゲート駆動回路113とを有している。画素マトリクス領域111には、複数の画素毎に画素駆動用TFTが形成されている。各画素駆動用TFTのドレイン

電極はデータ駆動回路 113 から延びる所定のドレインバスラインに接続され、各画素駆動用 TFT のゲート電極はゲート駆動回路 112 から延びる所定のゲートバスラインに接続されている。各画素駆動用 TFT のソース電極は各画素に設けられた画素電極（不図示）にそれぞれ接続されている。

【0046】

ドレイン駆動回路 112 及びゲート駆動回路 113 は、CMOS で構成する高速動作の低電圧用 TFT 装置が形成される回路と、高電圧で駆動する高電圧用 TFT 装置で構成される回路とを含んでいる。画素マトリクス領域 111 は、高電圧用 TFT 装置で構成される。

【0047】

次に、本実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板の製造方法について図 2 乃至図 4 を用いて説明する。図 2 乃至図 4 は低電圧高速駆動の周辺回路を CMOS で構成し、画素駆動用薄膜トランジスタを $n\text{-chTFT}$ とした場合における $p\text{-SiTFT}$ の製造方法を示している。各図において、LDD を有する $n\text{-chTFT}$ の製造工程を左側に示し、LDD を有さない $n\text{-chTFT}$ の製造工程を中央に示し、LDD を有さない $p\text{-chTFT}$ の製造工程を右側に示している。LDD を有する $n\text{-chTFT}$ は画素マトリクス領域 111 に形成され、LDD を有さない $n\text{-chTFT}$ 及び $p\text{-chTFT}$ は例えばゲート駆動回路 113 やドレイン駆動回路 112 に形成される。

【0048】

まず、図 2 (a) に示すように、ガラス等の透明絶縁性基板 1 上の全面に、プラズマ CVD 装置を用いて 50 nm 程度の膜厚の下地 SiN 膜 2 と 200 nm 程度の膜厚の SiO_2 膜 3 とをこの順に成膜する。続いて、 SiO_2 膜 3 上の全面に $a\text{-Si}$ を 40 nm 程度成膜する。次に、エキシマレーザを用いて $a\text{-Si}$ を結晶化させて $p\text{-Si}$ 膜 4 を形成する。

【0049】

次に、図 2 (b) に示すように、レジストを塗布してパターニングし、パターニングされたレジスト層 5a、5b 及び 5c を形成する。当該レジスト層 5a、5b 及び 5c をマスクとしてフッ素系のガスを用いたドライエッチングを行って

p-Si膜の一部を除去し、アイランド状のp-Si膜4a、4b及び4cを形成する。その後、レジスト層5a、5b及び5cを剥離する。

【0050】

次に、図2(c)に示すように、プラズマCVD装置を用いてp-Si膜4a、4b及び4c上の基板全面にSiO₂を成膜し、膜厚が30nm程度の絶縁膜(ゲート電極下ではゲート絶縁膜として機能する)6を形成する。絶縁膜6の膜厚は、従来例の例えば図15に示す絶縁膜965より薄く形成されている。次に、絶縁膜6上の全面に、スパッタ装置を用いてゲート電極となるAl-Nd膜7を厚さ300nm程度成膜する。

【0051】

次に、図2(d)に示すように、Al-Nd膜7上にレジストを塗布してパターンニングし、ゲート電極形状のレジストマスク8a、8b及び8cを形成する。レジストマスク8a、8b及び8cを用いてAlエッチャーでAl-Nd膜7をエッチングし、ゲート電極7a、7b及び7cを形成する。その後、レジストマスク8a、8b及び8cを剥離する。

【0052】

次に、図2(e)に示すように、ゲート電極7a、7b及び7cをマスクに絶縁膜6を介して、イオンドーピング装置によりn型不純物として例えば低濃度のPイオンをp-Si膜4a、4b及び4cにドーピングする(第1のドーピング)。例えば加速エネルギー30keV、 $5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でドーピングする。LDDが形成されるn-chTFT形成領域には、p-Si膜4aのLDD領域並びにソース及びドレイン領域となる部分41にn型不純物が注入される。LDDが形成されないn-chTFT形成領域及びp-chTFT形成領域のp-Si膜4b及び4cのソース及びドレイン領域となる部分43及び45にもn型不純物が注入される。なお、チャンネル領域となる部分42、44及び46にはゲート電極7a、7b及び7cがマスクとなっているので、n型不純物は注入されない。

【0053】

次に、図3(a)に示すように、LDDが形成されるn-chTFT形成領域

の p-Si 膜 4 a の LDD 領域となる部分及びゲート電極 7 a を覆うようにレジスト層 9 をパターニングする。レジスト層 9 及びゲート電極 7 b 及び 7 c をマスクとして絶縁膜 6 をフッ素系のガスを用いてドライエッチングする。これにより、LDD が形成される n-ch TFT 形成領域の p-Si 膜 4 a のソース及びドレイン領域となる部分の上に成膜された絶縁膜 6 が除去され、p-Si 膜 4 a の LDD 領域及びチャネル領域となる部分の上には絶縁膜 6 a が残存する。また、LDD を形成しない n-ch TFT 形成領域の p-Si 膜 4 b のソース及びドレイン領域となる部分の上に成膜された絶縁膜 6 が除去され、p-Si 膜 4 b のチャネル領域となる部分の上にはゲート絶縁膜 6 b が残存する。LDD を形成しない p-ch TFT 形成領域の p-Si 膜 4 c のソース及びドレイン領域となる部分の上に成膜された絶縁膜 6 が除去され、p-Si 膜 4 c のチャネル領域となる部分の上にはゲート絶縁膜 6 c が残存する。

【0054】

続いて、LDD が形成される n-ch TFT 形成領域についてはさらにレジスト層 9 をマスクにして、LDD を形成しない n-ch TFT 形成領域及び p-ch TFT 形成領域についてはゲート電極 7 b 及び 7 c をマスクとして、イオンドーピング装置を用いて例えば P イオン等の n 型不純物を高濃度で注入する（第 2 のドーピング）。第 2 のドーピングは、例えば加速エネルギー 10 keV、 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で行う。このとき、LDD を形成しない n-ch TFT 形成領域の p-Si 膜 4 b のソース及びドレイン領域 4 3 と、p-ch TFT のソース及びドレイン領域 4 5 にも高濃度の n 型不純物が注入される。

このようにすれば LDD が形成される n-ch TFT 形成領域の p-Si 膜 4 a では、高濃度で n 型不純物が注入されたソース及びドレイン領域 4 7 と、1 回目のみ n 型不純物が注入された LDD 領域 4 8 と、全く n 型不純物が注入されないチャネル領域 4 2 とが形成される。また LDD が形成されない n-ch TFT 形成領域及び p-ch TFT 形成領域には、ソース及びドレイン領域 4 3 及び 4 5 に 2 度に渡って n 型不純物が注入される。なお、LDD が形成されない n-ch TFT 形成領域及び p-ch TFT 形成領域のチャネル領域 4 4 及び 4 6 には、ゲート電極 7 b 及び 7 c がマスクとなるので n 型不純物は注入されない。なお

、2度目のn型不純物の注入後に、絶縁膜6のエッチングを行うようにしてもよい。また、レジスト層9をマスクにドーピングしているが、絶縁膜6を介さずにドーピングするのでレジスト層9の変質は抑えられる。このためアッシング処理でレジスト残渣は発生しない。

【0055】

レジスト層9をアッシングにより除去した後、図3(c)に示すように、LDDが形成されるn-chTFT形成領域及びLDDを形成しないn-chTFT形成領域の全体をそれぞれ覆うようにパターニングされたレジスト層10a及び10bを形成する。次に、レジスト層10a及び10b並びにゲート電極7cをマスクとして、イオンドーピング装置を用いて例えばボロン(B)イオン等のp型不純物を高濃度で注入する。例えば、加速エネルギー10keV、 $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でドーピングする。これにより、LDDを形成しないp-chTFTのソース及びドレイン領域45にp型不純物が注入される。ソース及びドレイン領域45にはn型不純物が注入されているため、より多くのp型不純物を注入することによりn型からp型へ反転させる。なお、ゲート電極7cがマスクとなるため、p-Si膜4cのチャネル領域46にはp型不純物が注入されない。その後、レジストマスク10a及び10bを剥離する。

【0056】

次に、図3(d)に示すように、プラズマCVD装置を用いて層間絶縁膜11として SiO_2 を厚さ40nm程度成膜する。ここで、 SiO_2 を厚さ40nm程度成膜する理由について図5を用いて説明する。図5の縦軸は反射率、横軸は SiO_2 による絶縁膜の膜厚(nm)を示している。絶縁膜6の膜厚は30nmであり、層間絶縁膜11が成膜される前の状態では、絶縁膜6の下に設けられているLDD領域48の反射率は図5に示すように点121aで示される値である。一方、ソース及びドレイン領域47上には絶縁膜6は存在しないので、点120aで示される値である。このようにソース及びドレイン領域47の反射率とLDD領域48の反射率が異なっているのでは、既に説明したようにレーザ光照射による不純物活性化が領域に依存して不均一になってしまう。

【0057】

そこで、40 nm程度の膜厚の層間絶縁膜（第1の層間絶縁膜）11を成膜すれば、ソース及びドレイン領域47上の SiO_2 の膜厚は40 nmとなるので、反射率の値は反射率のカーブに沿って点120aで示される値から点120bで示される値に変化する。一方、LDD領域48上の SiO_2 の膜厚は70 nmとなるので、反射率の値は反射率のカーブに沿って点121aで示される値から点121bで示される値に変化する。このとき、点120bと点121bで示される反射率の値はほぼ同じになる。したがって、この後レーザ光照射が行われた場合には、ソース及びドレイン領域並びにLDD領域の不純物の活性化はほぼ均一となり、レーザ照射の条件を容易に決定できるようになる。

【0058】

次いで、図4（a）に示すように、エキシマレーザ装置を用いてソース及びドレイン領域43、45及び47、LDD領域48にレーザ光を照射して、注入されたn型及びp型不純物を活性化する。

【0059】

次に、図4（b）に示すように、ゲート電極966a、966b及び966c上の基板全面に、プラズマCVD装置を用いて例えば SiN 膜を370 nm程度成膜して水素を含む第2の層間絶縁膜12を形成する。次いで、窒素雰囲気中で80℃、2時間の熱処理を行う。第2の層間絶縁膜12の水素化の方法としては、水素雰囲気中でのアニール処理や水素プラズマ処理が用いられる。また、第1の層間絶縁膜11を充分厚く形成すれば、第2の層間絶縁膜12を形成しなくてもよい。

【0060】

次に、図4（c）に示すように、コンタクトホールを開口するためのレジストマスク13を形成し、フッ素系ガスを用いたドライエッチングにより第1の層間絶縁膜11及び第2の層間絶縁膜12の一部を除去することにより、ソース及びドレイン領域47、43及び45に対するコンタクトホールを開口する。

【0061】

次いで、図4（d）に示すように、レジストマスク13を剥離した後、ソース及びドレイン電極形成用の導電性薄膜として、Ti膜、Al膜、Ti膜をそれぞ

れ100nm、200nm、100nm程度の膜厚でこの順にスパッタ装置を用いて成膜する。次いで、レジストを塗布してパターニングし、パターニングされたレジスト層をマスクに塩素系ガスを用いて導電性薄膜をエッチングすることにより、ソース及びドレイン電極14を形成する。

【0062】

次に、第3の層間絶縁膜（不図示）としてSiN膜を400nm程度成膜する。次いで、レジストの塗布及び露光によりレジスト層をパターニングし、パターニングされたレジスト層をマスクとしてフッ素系ガスを用いたドライエッチングでSiN膜をエッチングし、コンタクトホールを形成する。レジスト層を剥離した後、スパッタ装置でITO膜を70nm程度成膜する。次いで、レジストの塗布及び露光によりパターニングされたレジスト層を形成し、パターニングされたレジスト層をマスクとしてITOエッチャーでITO膜をエッチングする。こうすることにより本実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板及び液晶表示装置が形成される。

【0063】

上記本実施の形態の製造方法により製造された、LDDが形成されたn-ch TFTは、透明絶縁性基板1上に下地SiN膜2及びSiO₂膜3からなるバッファ層が形成されている。また、バッファ層上にはp-Si膜4が形成されており、p-Si膜4には、ソース及びドレイン領域47とLDD領域48とチャネル領域42とが形成されている。p-Si膜4のLDD領域48及びチャネル領域42上にはゲート絶縁膜6aが形成されている。また、チャネル領域42上のゲート絶縁膜6a上にはゲート電極7aが形成されている。また、ソース及びドレイン領域47、ゲート絶縁膜6a、及びゲート電極7a上には第1の層間絶縁膜11及び第2の層間絶縁膜12がこの順に形成されている。第1の層間絶縁膜11及び第2の層間絶縁膜12にはコンタクトホールが開口されており、p-Si膜4のソース及びドレイン領域47と接触するソース電極及びドレイン電極14が形成されている。

【0064】

また、上記本実施の形態の製造方法により製造された、LDDが形成されない

n-chTFTは、透明絶縁性基板1上に下地SiN膜2及びSiO₂膜3からなるバッファ層が形成されている。また、バッファ層上にはp-Si膜4が形成されており、p-Si膜4には、ソース及びドレイン領域43とチャネル領域44とが形成されている。p-Si膜4のチャネル領域44上にはゲート絶縁膜6b及びゲート電極7aがこの順に形成されている。また、ソース及びドレイン領域43及びゲート電極7b上には第1の層間絶縁膜11及び第2の層間絶縁膜12がこの順に形成されている。第1の層間絶縁膜11及び第2の層間絶縁膜12にはコンタクトホールが開口されており、p-Si膜4のソース及びドレイン領域43と接触するソース電極及びドレイン電極14が形成されている。

【0065】

また、上記本実施の形態の製造方法により製造された、LDDが形成されないp-chTFTは、透明絶縁性基板1上に下地SiN膜2及びSiO₂膜3からなるバッファ層が形成されている。また、バッファ層上にはp-Si膜4が形成されており、p-Si膜4には、ソース及びドレイン領域45とチャネル領域46とが形成されている。p-Si膜4のチャネル領域46上にはゲート絶縁膜6c及びゲート電極7cがこの順に形成されている。また、ソース及びドレイン領域45及びゲート電極7c上には第1の層間絶縁膜11及び第2の層間絶縁膜12がこの順に形成されている。第1の層間絶縁膜11及び第2の層間絶縁膜12にはコンタクトホールが開口されており、p-Si膜4のソース及びドレイン領域45と接触するソース電極及びドレイン電極14が形成されている。

【0066】

以上説明したように、本実施の形態によるTFT装置及びそれを備えたTFT基板の製造方法では、ゲート電極を形成後、絶縁膜（ゲート絶縁膜）をエッチングするレジストマスクを用いてn型不純物を高濃度で注入し、また第1の層間絶縁膜としてSiO₂を成膜した後にレーザ活性化を行うことを特徴としている。本製造方法では、エッチング用のレジストマスクを用いそのまま不純物注入時のマスクとしても用いることで、アッシング処理が1回追加されるものの、フォトリソグラフィ工程を追加することもなく、絶縁膜6を薄膜化してもLDD領域にn型不純物が多く注入されてしまう問題を生じさせないようにできる。

【0067】

また、レジストをマスクとして絶縁膜6をエッチングしてからイオン注入を行うため、イオン注入の際に絶縁膜6を通してドーピングすることがない。したがって、イオン注入時間が低減できることに加え、不純物の加速エネルギーを低くすることができる。このため、マスクとして用いるレジストの変質が少ないので容易に確実にアッシングできる。また、図5を用いて説明したように、ゲート絶縁膜の膜厚に応じて第1の層間絶縁膜である SiO_2 膜の膜厚を変化させれば、ソース及びドレイン領域である高濃度不純物注入領域とLDD領域上でのレーザー光の反射率をほぼ一致させることができるようになる。すなわち、両領域を同時に充分活性化できるようになる。

【0068】

[第2の実施の形態]

本発明の第2の実施の形態による薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板について図6乃至図9を用いて説明する。本実施の形態によるTFT基板を備えたLCDは、第1の実施の形態の図1に示した液晶表示装置100と同じ構成なので説明は省略する。図6乃至図8は低電圧高速駆動の周辺回路をCMOSで構成し、画素駆動用薄膜トランジスタを $n\text{-chTFT}$ とした場合における $p\text{-SiTFT}$ の製造方法を示している。各図において、LDDを有する $n\text{-chTFT}$ の製造工程を左側に示し、LDDを有さない $n\text{-chTFT}$ の製造工程を中央に示し、LDDを有さない $p\text{-chTFT}$ の製造工程を右側に示している。LDDを有する $n\text{-chTFT}$ は画素マトリクス領域111に形成され、LDDを有さない $n\text{-chTFT}$ 及び $p\text{-chTFT}$ は例えばゲート駆動回路113やドレイン駆動回路112に形成される。

【0069】

まず、図6(a)に示すように、ガラス等の透明絶縁性基板21上の全面に、プラズマCVD装置を用いて50nm程度の膜厚の下地 SiN 膜22と200nm程度の膜厚の SiO_2 膜23とをこの順に成膜する。続いて、 SiO_2 膜23上の全面に $a\text{-Si}$ を40nm程度成膜する。次に、エキシマレーザーを用いて $a\text{-Si}$ を結晶化させて $p\text{-Si}$ 膜24を形成する。

【0070】

次に、図6(b)に示すように、レジストを塗布してパターンニングし、パターンニングされたレジスト層25a、25b及び25cを形成する。当該レジスト層25a、25b及び25cをマスクとしてフッ素系のガスを用いたドライエッチングを行ってp-Si膜の一部を除去し、アイランド状のp-Si膜24a、24b及び24cを形成する。その後、レジスト層25a、25b及び25cを剥離する。

【0071】

次に、図6(c)に示すように、プラズマCVD装置を用いてp-Si膜24a、24b及び24c上の基板全面にSiO₂を成膜し、膜厚が30nm程度の絶縁膜(ゲート電極下ではゲート絶縁膜として機能する)26を形成する。絶縁膜26の膜厚は、従来例の例えば図15に示す絶縁膜965より薄く形成されている。次に、絶縁膜26上の全面に、スパッタ装置を用いてゲート電極となるAl-Nd膜27を厚さ300nm程度成膜する。

【0072】

次に、図6(d)に示すように、Al-Nd膜27上にレジストを塗布してパターンニングし、ゲート電極形状のレジストマスク28a、28b及び28cを形成する。レジストマスク28a、28b及び28cを用いてAlエッチャーでAl-Nd膜27をエッチングし、ゲート電極27a、27b及び27cを形成する。その後、レジストマスク28a、28b及び28cを剥離する。

【0073】

次に、図6(e)に示すように、プラズマCVD装置によりSiO₂膜を厚さ80nm程度成膜して第1の層間絶縁膜29を形成する。

【0074】

次に、図7(a)に示すように、レジストを塗布した後p-Si膜24aのLDD領域及びチャネル領域となる部分及びゲート電極27aを覆うようにパターンニングしてレジスト層30aを形成する。次いで、レジスト層30aをマスクとして第1の層間絶縁膜29及び絶縁膜26のSiO₂をフッ素系ガスを用いてドライエッチングする。これにより、LDDが形成されるn-chTFT形成領域

のp-Si膜24aのソース及びドレイン領域となる部分の上に成膜された第1の層間絶縁膜29及び絶縁膜26が除去され、p-Si膜24aのLDD領域及びチャネル領域となる部分の上には第1の層間絶縁膜29a及び絶縁膜26aが残存する。

【0075】

また、LDDを形成しないn-chTFT形成領域のp-Si膜24bのソース及びドレイン領域となる部分の上に成膜された第1の層間絶縁膜29及び絶縁膜26が除去され、p-Si膜24bのチャネル領域となる部分の上にはゲート絶縁膜26bが残存する。LDDを形成しないp-chTFT形成領域のp-Si膜24cのソース及びドレイン領域となる部分の上に成膜された第1の層間絶縁膜29及び絶縁膜26が除去され、p-Si膜24cのチャネル領域となる部分の上にはゲート絶縁膜26cが残存する。

【0076】

次いで、レジスト層30aを剥離後、図7(b)に示すように、LDDが形成されるn-chTFT形成領域は第1の層間絶縁膜29aをマスクにして、LDDを形成しないn-chTFT形成領域及びp-chTFT形成領域はゲート電極27b及び27cをマスクとして、イオンドーピング装置を用いて例えばPイオン等のn型不純物を高濃度で注入する。ドーピングは、例えば加速エネルギー10keV、 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で行う。このとき、LDDを形成しないn-chTFT形成領域のp-Si膜24bのソース及びドレイン領域243と、p-chTFTのソース及びドレイン領域245にも高濃度のn型不純物が注入される。

【0077】

第1の層間絶縁膜29aとゲート電極27a、27b及び27cがマスクとなるため、LDDが形成されるn-chTFT形成領域のp-Si膜24aのLDD領域及びチャネル領域となる部分242とLDDが形成されないn-chTFT形成領域のp-Si膜24bのチャネル領域244、及びLDDが形成されないp-chTFT形成領域のp-Si膜24cのチャネル領域となる部分246にはn型不純物は注入されない。

【0078】

次いで、図7(c)に示すように、LDDが形成されるn-chTFT形成領域は第1の層間絶縁膜29aをマスクにして、LDDを形成しないn-chTFT形成領域及びp-chTFT形成領域はゲート電極27b及び27cをマスクとして、イオンドーピング装置を用いて例えばPイオン等のn型不純物を加速エネルギー70keV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でドーピングする。これにより、LDDが形成されるn-chTFT形成領域は、p-Si膜24aにLDD領域247が形成される。このとき、なお、ゲート電極27a、27b及び27cがマスクとなっているので、チャンネル領域248、244及び246には、n型不純物は注入されない。

【0079】

次に、図7(d)に示すように、LDDが形成されるn-chTFT形成領域及びLDDを形成しないn-chTFT形成領域の全体をそれぞれ覆うようにパターンニングされたレジスト層30a及び30bを形成する。次に、レジスト層30a及び30b並びにゲート電極27cをマスクとして、イオンドーピング装置を用いて例えばボロン(B)イオン等のp型不純物を高濃度で注入する。例えば、加速エネルギー10keV、 $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でドーピングする。これにより、LDDを形成しないp-chTFTのソース及びドレイン領域245にp型不純物が注入される。ソース及びドレイン領域245にはn型不純物が注入されているため、より多くのp型不純物を注入することによりn型からp型へ反転させる。なお、ゲート電極27cがマスクとなるため、p-Si膜24cのチャンネル領域246にはp型不純物が注入されない。その後、レジストマスク30a及び30bを剥離する。

【0080】

次いで、図8(a)に示すように、エキシマレーザ装置を用いてソース及びドレイン領域241、243、245及びLDD領域247にレーザ光を照射して、注入されたn型及びp型不純物を活性化する。このとき、LDDが形成されるn-chTFTのLDD領域247上には、 SiO_2 からなる30nm程度のゲート絶縁膜26a及び80nm程度の第1の層間絶縁膜29aが設けられている

。一方、ソース及びドレイン領域 241 上には SiO_2 膜は存在しない。

【0081】

このような膜構成にする理由を図 9 を用いて説明する。図 9 の縦軸は反射率、横軸は SiO_2 による絶縁膜の膜厚 (nm) を示している。ソース及びドレイン領域 241 上の SiO_2 膜の膜厚は 0 であるので反射率は図 9 の点 122 の値となる。一方、LDD 領域 247 上には当初 30 nm の SiO_2 膜が形成されており、LDD 領域 247 の反射率は図 9 の点 123 a の値となる。これではソース及びドレイン領域 241 と LDD 領域 247 の反射率が異なるのでレーザ光照射による活性化を両層領域で均一にするのは困難である。そこで、第 1 の層間絶縁膜 29 a を 80 nm 程度形成して SiO_2 膜の膜厚を 110 nm とすると図 9 の点 123 a が反射率のカーブに沿って点 123 b に移動する。点 122 の反射率と点 123 b の反射率はほぼ等しいのでレーザ光照射による不純物の活性化をほぼ均一に行うことができるようになる。

【0082】

次に、図 8 (b) に示すように、プラズマ CVD 装置を用いて全面に SiO_2 膜、 SiN 膜をこの順にそれぞれ 60 nm 程度、380 nm 程度成膜して第 2 の層間絶縁膜 31 を形成する。次いで、窒素雰囲気中で 80℃、2 時間の熱処理を行う。第 2 の層間絶縁膜 31 の水素化の方法としては、水素雰囲気中でのアニール処理や水素プラズマ処理が用いられる。なお、第 2 の層間絶縁膜 31 は、 SiO_2 単膜を充分厚く形成するにしてもよい。

【0083】

次に、図 8 (c) に示すように、コンタクトホールを開口するためのレジストマスク 13 を形成し、フッ素系ガスを用いたドライエッチングにより第 2 の層間絶縁膜 31 の一部を除去することにより、ソース及びドレイン領域 241、243 及び 245 に対するコンタクトホールを開口する。

【0084】

次いで、図 8 (d) に示すように、レジストマスク 32 を剥離した後、ソース及びドレイン電極形成用の導電性薄膜として、Ti 膜、Al 膜、Ti 膜をそれぞれ 100 nm、200 nm、100 nm 程度の膜厚でこの順にスパッタ装置を用

いて成膜する。次いで、レジストを塗布してパターニングし、パターニングされたレジスト層をマスクに塩素系ガスを用いて導電性薄膜をエッチングすることにより、ソース及びドレイン電極33を形成する。その後、レジストマスクを剥離する。

【0085】

次に、第3の層間絶縁膜（不図示）としてSiN膜を400nm程度成膜する。次いで、レジストの塗布及び露光によりレジスト層をパターニングし、パターニングされたレジスト層をマスクとしてフッ素系ガスを用いたドライエッチングでSiN膜をエッチングし、コンタクトホールを形成する。レジスト層を剥離した後、スパッタ装置でITO膜を70nm程度成膜する。次いで、レジストの塗布及び露光によりパターニングされたレジスト層を形成し、パターニングされたレジスト層をマスクとしてITOエッチャーでITO膜をエッチングする。こうすることにより本実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板及び液晶表示装置が形成される。

【0086】

上記本実施の形態の製造方法により製造された、LDDが形成されたn-ch TFTは、透明絶縁性基板21上に下地SiN膜22及びSiO₂膜23からなるバッファ層が形成されている。また、バッファ層上にはp-Si膜24が形成されており、p-Si膜24には、ソース及びドレイン領域241とLDD領域247とチャネル領域248とが形成されている。p-Si膜24のLDD領域247及びチャネル領域248上にはゲート絶縁膜26aが形成されている。また、ゲート絶縁膜26a上にはゲート電極27aが形成されている。また、ゲート絶縁膜26a及びゲート電極27a上には第1の層間絶縁膜29aが形成されている。第1の層間絶縁膜29a及びp-Si膜24のソース及びドレイン領域241上には第2の層間絶縁膜31が形成されている。第2の層間絶縁膜31にはコンタクトホールが開口されており、p-Si膜24のソース及びドレイン領域241と接触するソース及びドレイン電極33が形成されている。

【0087】

また、上記本実施の形態の製造方法により製造された、LDDが形成されない

n-chTFTは、透明絶縁性基板21上に下地SiN膜22及びSiO₂膜23からなるバッファ層が形成されている。また、バッファ層上にはp-Si膜24が形成されており、p-Si膜24には、ソース及びドレイン領域243とチャネル領域244とが形成されている。p-Si膜24のチャネル領域244上にはゲート絶縁膜26b及びゲート電極27bがこの順に形成されている。また、ソース及びドレイン領域243及びゲート電極27b上には、第2の層間絶縁膜31が形成されている。第2の層間絶縁膜31にはコンタクトホールが開口されており、p-Si膜24のソース及びドレイン領域243と接触するソース及びドレイン電極33が形成されている。

【0088】

また、上記本実施の形態の製造方法により製造された、LDDが形成されないp-chTFTは、透明絶縁性基板21上に下地SiN膜22及びSiO₂膜23からなるバッファ層が形成されている。また、バッファ層上にはp-Si膜24が形成されており、p-Si膜24には、ソース及びドレイン領域245とチャネル領域246とが形成されている。p-Si膜24のチャネル領域246上にはゲート絶縁膜26c及びゲート電極27cが形成されている。また、ソース及びドレイン領域245及びゲート電極27c上には、第2の層間絶縁膜31が形成されている。第2の層間絶縁膜31にはコンタクトホールが開口されており、p-Si膜24のソース及びドレイン領域245と接触するソース及びドレイン電極33が形成されている。

【0089】

以上説明したように、本実施の形態によるTFT装置及びそれを備えたTFT基板の製造方法では、ゲート電極27aを形成後、第1の層間絶縁膜29を成膜し、少なくともソース及びドレイン領域241上の第1の層間絶縁膜29とゲート絶縁膜26を除去してから、ゲート電極27a及びゲート絶縁膜26aと第1の層間絶縁膜29aをマスクとしてp-Si層24のソース及びドレイン領域241に高濃度の不純物を導入し、ゲート電極27aをマスクとしてゲート絶縁膜26a及び第1の層間絶縁膜29aを通して低濃度の不純物を注入し、レーザ光を照射することにより不純物を活性化し、第2の層間絶縁膜31を成膜し、コン

タクトホールを形成し、ソース及びドレイン電極33を形成する。

【0090】

この方法では、LDD領域247上にゲート絶縁膜26aと第1の層間絶縁膜29aが積層されており、この積層構造が高濃度の不純物を注入する際のマスクとなるため、フォトリソグラフィ工程を増やすことなく、ゲート絶縁膜26aを薄膜化してもLDD領域247に必要以上のn型不純物が注入されてしまうのを回避できる。なお、ゲート絶縁膜と第1の層間絶縁膜をエッチングする際のフォトレジストパターンに応じて、LDD領域を有するトランジスタと、LDD領域を有さないトランジスタを作り分けることができる。また、図9に示すように、ゲート絶縁膜26aの膜厚に応じて第1の層間絶縁膜の膜厚を変化させることで、すなわち、第1の層間絶縁膜の成膜工程を1回追加するだけで、ソース及びドレイン領域241である高濃度不純物注入領域とLDD領域上でのレーザ光の反射率を揃えることができる。すなわち、不純物の両方の領域を同時に充分活性化することができるようになる。

【0091】

〔第3の実施の形態〕

本発明の第3の実施の形態による薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板について図10を用いて説明する。本実施の形態によるTFT基板を備えたLCDは、第1の実施の形態の図1に示した液晶表示装置100と同じ構成なので説明は省略する。図10は低電圧高速駆動の周辺回路をCMOSで構成し、画素駆動用薄膜トランジスタをn-chTFTとした場合におけるp-SiTFTの製造方法を示している。各図において、LDDを有するn-chTFTの製造工程を左側に示し、LDDを有さないn-chTFTの製造工程を中央に示し、LDDを有さないp-chTFTの製造工程を右側に示している。LDDを有するn-chTFTは画素マトリクス領域111に形成され、LDDを有さないn-chTFT及びp-chTFTは例えばゲート駆動回路113やドレイン駆動回路112に形成される。

【0092】

まず、図10(a)に示すように、ガラス等の透明絶縁性基板61上の全面に

、プラズマCVD装置を用いて50nm程度の膜厚の下地SiN膜62と200nm程度の膜厚のSiO₂膜63とをこの順に成膜する。続いて、SiO₂膜63上の全面にa-Siを40nm程度成膜する。次に、エキシマレーザを用いてa-Siを結晶化させてp-Si膜64を形成する。

次に、レジストを塗布してパターニングし、パターニングされたレジスト層をマスクとしてフッ素系のガスを用いたドライエッチングを行ってp-Si膜64の一部を除去し、アイランド状のp-Si膜を形成する。

【0093】

レジストマスクを剥離後、アイランド状のp-Si膜の上に、プラズマCVD装置でSiO₂を30nm程度成膜して絶縁膜65を形成する。絶縁膜65の膜厚は、従来例の例えば図15に示す絶縁膜965より薄くなっている。次に、絶縁膜65上の全面にゲート電極となるAl-Nd膜66をスパッタ装置で300nm程度成膜する。

次に、Al-Nd膜66上にレジストを塗布してパターニングし、ゲート電極形状のレジストマスクを形成する。レジストマスクを用いてAlエッチャーでAl-Nd膜66をエッチングし、ゲート電極66a、66b及び66cを形成する。

【0094】

次に、レジストマスクを剥離後、ゲート電極66a、66b及び66cをマスクにして、イオンドーピング装置を用いて例えばPイオン等のn型不純物を低濃度で注入する（第1のドーピング）。ドーピングは、例えば加速エネルギー40keV、 $5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で行う。これにより、LDDが形成されるn-chTFTの場合には、p-Si膜のLDD領域並びにソース及びドレイン領域となる部分641にn型不純物が注入される。LDDが形成されないn-chTFT及びp-chTFTのp-Si膜のソース及びドレイン領域となる部分643及び645にもn型不純物が注入される。なお、チャネル領域となる部分642、644及び646にはゲート電極66a、66b及び66cがマスクとなっているので、n型不純物は注入されない。このようにすれば、薄いゲート絶縁膜65を介したドーピングであるため、ドーピングにかかる時間を短縮するこ

とができる。

【0095】

次に、図10(b)に示すように、プラズマCVD装置で SiO_2 膜を80nm程度成膜した第1の層間絶縁膜67を形成する。

【0096】

次に、図10(c)に示すように、レジストの塗布及び露光により、LDDが形成されるn-chTFTのp-Si膜のLDD領域及びチャネル領域となる部分及びゲート電極66aを覆うようにレジストマスク68aを形成する。次いで、第1の層間絶縁膜67及びゲート絶縁膜65の SiO_2 膜をフッ素系ガスを用いてドライエッチングする。これにより、LDDが形成されるn-chTFTのソース及びドレイン領域となる部分の上に成膜された第1の層間絶縁膜67及びゲート絶縁膜65と、LDDが形成されないn-chTFTのソース及びドレイン領域となる部分の上に成膜された第1の層間絶縁膜67及びゲート絶縁膜65、及びLDDが形成されないp-chTFTのソース及びドレイン領域となる部分の上に成膜された第1の層間絶縁膜67及びゲート絶縁膜65を除去する。

【0097】

次に、レジストマスク68aを剥離後、図10(d)に示すように、第1の層間絶縁膜67a及びゲート電極66b及び66cをマスクにして、イオンドーピング装置を用いてn型不純物として例えば加速エネルギー10keV、 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でPイオンをドーピングする。このドーピングにより、LDDが形成されるn-chTFTのp-Si膜64のソース及びドレイン領域647と、LDDが形成されないn-chTFTのp-Si膜64のソース及びドレイン領域643が形成される。なお、LDDが形成されないp-chTFTのp-Si膜64のソース及びドレイン領域645にもn型不純物が注入される。ゲート電極66a、66b及び66cがマスクとなるため、LDDが形成されるn-chTFTのp-Si膜64のLDD領域及びチャネル領域となる部分642と、LDDが形成されないn-chTFTのp-Si膜64のチャネル領域644、及びLDDが形成されないp-chTFTのp-Si膜64のチャネル領域となる部分646にはn型不純物は注入されない。

【0098】

この後の工程は、第2の実施の形態の図7(d)以降と同じになるので簡単に説明する。レジストの塗布及び露光により、LDDが形成されるn-chTFT及びLDDが形成されないn-chTFTを覆うようにパターニングされたレジスト層を形成する。パターニングされたレジスト層並びにゲート電極66cをマスクとして、イオンドーピング装置を用いて、例えば、加速エネルギー10keV、 $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でp型不純物の例えばBイオンをドーピングする。これにより、LDDが形成されないp-chTFTのp-Si膜64のソース及びドレイン領域645を形成する。なお、LDDが形成されないp-chTFTのp-Si膜64のソース及びドレイン領域645にはn型不純物がドーピングされているので、導電型を反転させるためにより多くのp型不純物をドーピングする。

【0099】

その後レジストマスクをフルアッシングする。次いで、エキシマレーザ装置からレーザ光を照射して不純物を活性化する。なお、LDDが形成されるn-chTFTのLDD領域648上には、30nm程度のゲート絶縁膜65aと80nm程度の第1の層間絶縁膜67aのSiO₂膜が形成されている。一方、ソース及びドレイン領域247上にはSiO₂膜は存在しない。これにより、図9を用いて説明したように、両領域のレーザ光の反射率をほぼ同一にすることができる。

【0100】

次に、プラズマCVD装置によりSiO₂膜、SiN膜をこの順にそれぞれ60nm程度、380nm程度成膜して第2の層間絶縁膜を形成する。また、窒素雰囲気中で380℃2時間の熱処理を行う。また、アニール処理による水素化を行う。

【0101】

次に、レジストの塗布及び露光によりレジスト層をパターニングし、当該レジスト層をマスクにしてフッ素系ガスを用いたドライエッチングを行い、第2の層間絶縁膜の一部を除去することにより、ソース及びドレイン領域647、643

及び645に対するコンタクトホールを開口する。

【0102】

次に、レジストマスク32を剥離した後、スパッタ装置で導電性薄膜としてTi膜、Al膜、Ti膜をこの順にそれぞれ100nm、200nm、100nm程度成膜する。次に、レジストを塗布してパターニングし、パターニングされたレジスト層をマスクに塩素系ガスを用いて導電性薄膜をエッチングする。このエッチングにより、ソース及びドレイン電極33が形成される。その後、レジストマスクを剥離する。

【0103】

さらに第3の層間絶縁膜としてSiN膜を400nm程度成膜する。次いで、レジストを塗布してパターニングし、パターニングされたレジスト層をマスクにフッ素系ガスを用いたドライエッチングによりSiN膜をエッチングして、コンタクトホールを形成する。さらに、スパッタ装置でITO膜を70nm程度成膜する。次いで、レジストを塗布してパターニングし、パターニングされたレジスト層をマスクにITOエッチャーでITO膜をエッチングする。こうすることにより本実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板及び液晶表示装置が形成される。

【0104】

本実施の形態に係るTFT基板の製造方法は、ゲート電極を形成後、ゲート電極をマスクとしてゲート絶縁膜を通して低濃度の不純物を注入し、第1の層間絶縁膜を成膜し、少なくともソース及びドレイン領域上の第1の層間絶縁膜とゲート絶縁膜とを除去してから、ゲート電極並びにゲート絶縁膜及び第1の層間絶縁膜をマスクとしてp-Si層のソース及びドレイン領域に高濃度のn型不純物を導入し、レーザ光を照射することにより不純物を活性化し、第2の層間絶縁膜を成膜し、コンタクトホールを形成し、ソース及びドレイン電極を形成する。本実施の形態に係る製造方法によれば、第1の実施の形態と同様に、フォトリソグラフィ工程を増やすことなく、ゲート絶縁膜を薄膜化してもLDD領域の不純物注入量を制御でき、またソース及びドレイン領域並びにLDD領域の反射率を層間絶縁膜により調整することができるようになる。すなわち、不純物の両方の領域

を同時に充分活性化することができるようになる。

上記実施の形態では、表示装置の例としてLCDを用いたが本発明はこれに限られない。例えば、LCDと共に、CRT (cathode-ray tube) に代わる表示装置として期待が高まっている薄膜有機EL表示装置等のフラットパネル（平板状）表示装置に本発明は適用可能である。これらフラットパネル表示装置は、スイッチング素子として各画素内にTFTを備え高速応答や低消費電力化に優れるアクティブマトリクス型が主流となっている。アクティブマトリクス型フラットパネル表示装置では、基板上でマトリクス状に配置される多数の画素のそれぞれにTFTを作り込む必要があるが、上記実施の形態で示した製造方法等が適用可能である。

【0105】

以上説明した本実施の形態による薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び液晶表示装置は、以下のようにまとめられる。

（付記1）

基板上に所定形状の半導体層を形成し、

前記半導体層上に第1の絶縁膜を形成し、

前記第1の絶縁膜上に第1導電型の薄膜トランジスタのゲート電極を形成し、

前記ゲート電極をマスクとして前記半導体層に第1導電型の不純物を注入してソース及びドレイン領域及び低濃度不純物領域を形成し、

前記低濃度不純物領域上にマスク層を形成し、

前記マスク層を用いて前記第1の絶縁膜をパターニングしてゲート絶縁膜を形成し、引き続き前記マスク層を用いて第1導電型の不純物を前記ソース及びドレイン領域にさらに注入し、

前記マスク層を除去した後、前記ソース及びドレイン領域上、及び前記低濃度不純物領域上に所定膜厚の第2の絶縁膜を形成してレーザ光を照射し、前記ソース及びドレイン領域、及び前記低濃度不純物領域の不純物を活性化すること
を特徴とする薄膜トランジスタ装置の製造方法。

【0106】

(付記 2)

付記 1 記載の薄膜トランジスタ装置の製造方法において、

前記ゲート電極の形成と同時に第 2 導電型の薄膜トランジスタのゲート電極を前記第 1 の絶縁膜上に形成し、

前記ゲート絶縁膜の形成と同時に前記第 2 導電型の薄膜トランジスタのゲート絶縁膜を形成し、

前記マスク層を除去した後で前記レーザ光の照射前に、前記第 1 導電型の薄膜トランジスタ上に第 2 のマスク層を形成し、

前記第 2 のマスク層を用いて第 2 導電型の不純物を前記第 2 導電型の薄膜トランジスタのソース及びドレイン領域に注入すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0107】

(付記 3)

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に第 1 導電型の薄膜トランジスタのゲート電極を形成し、

所定膜厚の第 2 の絶縁膜を形成してから前記第 1 及び第 2 の絶縁膜をパターンニングして、前記ゲート電極下及び近傍の前記半導体層上にゲート絶縁膜及び前記所定膜厚のマスク層を形成し、

前記ゲート電極、前記ゲート絶縁膜及び前記マスク層をマスクとして前記半導体層に第 1 導電型の不純物を注入してソース及びドレイン領域を形成し、

前記ゲート電極をマスクとして、不純物の注入条件を変えて前記半導体層に第 1 導電型の不純物を注入して前記ゲート電極近傍に低濃度不純物領域を形成し、

レーザ光を照射して、前記ソース及びドレイン領域、及び前記低濃度不純物領域の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0108】

(付記 4)

付記 3 記載の薄膜トランジスタ装置の製造方法において、

前記ゲート電極の形成と同時に第2導電型の薄膜トランジスタのゲート電極を前記第1の絶縁膜上に形成し、

前記ゲート絶縁膜の形成と同時に前記第2導電型の薄膜トランジスタのゲート絶縁膜を形成し、

低濃度不純物領域を形成した後で前記レーザ光の照射前に、前記第1導電型の薄膜トランジスタ上に第2のマスク層を形成し、

前記第2のマスク層を用いて第2導電型の不純物を前記第2導電型の薄膜トランジスタのソース及びドレイン領域に注入すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0109】

(付記5)

基板上に所定形状の半導体層を形成し、

前記半導体層上に第1の絶縁膜を形成し、

前記第1の絶縁膜上に第1導電型の薄膜トランジスタのゲート電極を形成し、

前記ゲート電極をマスクとして前記半導体層に第1導電型の不純物を注入してソース及びドレイン領域及び低濃度不純物領域を形成し、

所定膜厚の第2の絶縁膜を形成してから前記第1及び第2の絶縁膜をパターニングして、前記ゲート電極下及び近傍の前記低濃度不純物領域上にゲート絶縁膜及び前記所定膜厚のマスク層を形成し、

前記ゲート電極、前記ゲート絶縁膜及び前記マスク層をマスクとして、不純物の注入条件を変えて前記半導体層に第1導電型の不純物を注入してソース及びドレイン領域を形成し、

レーザ光を照射して、前記ソース及びドレイン領域、及び前記低濃度不純物領域の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【0110】

(付記6)

付記5記載の薄膜トランジスタ装置の製造方法において、

前記ゲート電極の形成と同時に第2導電型の薄膜トランジスタのゲート電極を

前記第 1 の絶縁膜上に形成し、

前記ゲート絶縁膜の形成と同時に前記第 2 導電型の薄膜トランジスタのゲート絶縁膜を形成し、

ソース及びドレイン領域を形成した後で前記レーザ光の照射前に、前記第 1 導電型の薄膜トランジスタ上に第 2 のマスク層を形成し、

前記第 2 のマスク層を用いて第 2 導電型の不純物を前記第 2 導電型の薄膜トランジスタのソース及びドレイン領域に注入すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 1 1 】

(付記 7)

付記 1 乃至 6 のいずれか 1 項に記載の薄膜トランジスタ装置の製造方法において、

前記第 2 の絶縁膜上に第 3 の絶縁膜を形成し、

前記ソース及びドレイン領域上の前記第 2 及び第 3 の絶縁膜をそれぞれ開口してコンタクトホールを形成し、

前記ソース及びドレイン領域に前記コンタクトホールを介してそれぞれ接続されるソース及びドレイン電極を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 1 2 】

(付記 8)

付記 1 乃至 7 のいずれか 1 項に記載の薄膜トランジスタ装置の製造方法において、

前記第 2 の絶縁膜の膜厚は、前記第 1 導電型の薄膜トランジスタの低濃度不純物領域とソース及びドレイン領域との間で前記レーザ光の反射率がほぼ同一になるように決定されること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 1 3 】

(付記 9)

付記 8 記載の薄膜トランジスタ装置の製造方法において、

前記第 2 の絶縁膜の膜厚は、前記第 1 の絶縁膜の膜厚に基づいて決定されること

を特徴とする薄膜トランジスタ装置の製造方法。

【0114】

(付記 10)

基板上に形成された所定形状の半導体層と、

前記半導体層上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成された第 1 導電型の薄膜トランジスタのゲート電極と、

前記半導体層に第 1 導電型の不純物を注入して形成されたソース及びドレイン領域及び低濃度不純物領域と、

前記ソース及びドレイン領域上、及び前記低濃度不純物領域上に形成された所定膜厚の第 2 の絶縁膜と

を有することを特徴とする薄膜トランジスタ装置。

【0115】

(付記 11)

基板上に形成された所定形状の半導体層と、

前記半導体層上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成された第 1 導電型の薄膜トランジスタのゲート電極と、

前記ゲート電極下及び近傍の前記半導体層上に形成されたゲート絶縁膜と、

前記半導体層に第 1 導電型の不純物を注入する際のマスク層として機能する第 2 の絶縁膜と、

前記ゲート電極、前記ゲート絶縁膜及び前記第 2 の絶縁膜をマスクとして前記半導体層に第 1 導電型の不純物を注入して形成されたソース及びドレイン領域と

前記ゲート電極をマスクとして、不純物の注入条件を変えて前記半導体層に第 1 導電型の不純物を注入して前記ゲート電極近傍に形成された低濃度不純物領域と

を有することを特徴とする薄膜トランジスタ装置。

【0116】

(付記12)

基板上に形成された所定形状の半導体層と、

前記半導体層上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された第1導電型の薄膜トランジスタのゲート電極と、

前記半導体層に第1導電型の不純物を注入して形成された低濃度不純物領域と

前記ゲート電極下及び近傍の前記半導体層上に形成されたゲート絶縁膜と、

前記半導体層に第1導電型の不純物を注入する際のマスク層として前記低濃度不純物領域上に形成された第2の絶縁膜と、

前記ゲート電極、前記ゲート絶縁膜及び前記第2の絶縁膜をマスクとして前記半導体層に第1導電型の不純物を注入して形成されたソース及びドレイン領域とを有することを特徴とする薄膜トランジスタ装置。

【0117】

(付記13)

付記10乃至12のいずれか1項に記載の薄膜トランジスタ装置において、

第2導電型の薄膜トランジスタをさらに有すること

を特徴とする薄膜トランジスタ装置。

【0118】

(付記14)

付記10乃至13のいずれか1項に記載の薄膜トランジスタ装置において、

前記第2の絶縁膜上に形成された第3の絶縁膜と、

前記ソース及びドレイン領域上の前記第2及び第3の絶縁膜をそれぞれ開口して形成されたコンタクトホールと、

前記ソース及びドレイン領域に前記コンタクトホールを介してそれぞれ接続されるソース及びドレイン電極と

を有することを特徴とする薄膜トランジスタ装置。

【0119】

(付記15)

付記10乃至14のいずれか1項に記載の薄膜トランジスタ装置において、
前記第2の絶縁膜の膜厚は、前記第1導電型の薄膜トランジスタの低濃度不純物領域とソース及びドレイン領域との間で前記レーザ光の反射率がほぼ同一になる厚さを有していること

を特徴とする薄膜トランジスタ装置。

【0120】

(付記16)

付記15記載の薄膜トランジスタ装置において、
前記第2の絶縁膜の膜厚は、前記第1の絶縁膜の膜厚に基づいて決定されること

を特徴とする薄膜トランジスタ装置。

【0121】

(付記17)

表示領域内でマトリクス状に配置された画素電極に接続される第1の薄膜トランジスタ装置と、表示領域外の周辺回路に形成された第2の薄膜トランジスタ装置とを有する薄膜トランジスタ基板において、

前記第1及び第2の薄膜トランジスタ装置は、付記10乃至16のいずれか1項に記載の薄膜トランジスタ装置を含んでいること

を特徴とする薄膜トランジスタ基板。

【0122】

(付記18)

スイッチング素子となる薄膜トランジスタ装置を有する基板を備える表示装置において、

前記基板は、請求項17記載の薄膜トランジスタ基板であること

を特徴とする表示装置。

【0123】

【発明の効果】

以上の通り、本発明によれば、ゲート絶縁膜を薄膜化してもLDD領域を容易に最適に形成できる。また、ゲート絶縁膜を薄膜化してもドーピングした不純物を容易に最適に活性化できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態による液晶表示装置の概略構成を示す図である。

【図2】

本発明の第1の実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板の製造方法を示す工程断面図である。

【図3】

本発明の第1の実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板の製造方法を示す工程断面図である。

【図4】

本発明の第1の実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板の製造方法を示す工程断面図である。

【図5】

本発明の第1の実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板の製造方法における絶縁膜厚と反射率の関係を示す図である。

【図6】

本発明の第2の実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板の製造方法を示す工程断面図である。

【図7】

本発明の第2の実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板の製造方法を示す工程断面図である。

【図8】

本発明の第2の実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板の製造方法を示す工程断面図である。

【図9】

本発明の第2の実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜

トランジスタ基板の製造方法における絶縁膜厚と反射率の関係を示す図である。

【図 1 0】

本発明の第 3 の実施の形態による薄膜トランジスタ装置及びそれを備えた薄膜トランジスタ基板の製造方法を示す工程断面図である。

【図 1 1】

従来例 1 による T F T 基板の製造方法を説明する製造工程断面図である。

【図 1 2】

従来例 2 による T F T 基板の製造方法を説明する製造工程断面図である。

【図 1 3】

従来例 3 による T F T 基板の製造方法を説明する製造工程断面図である。

【図 1 4】

従来例 3 における絶縁膜厚と反射率の関係を表すグラフを示す図である。

【図 1 5】

従来例 3 による T F T 基板の製造方法を説明する製造工程断面図である。

【図 1 6】

従来例 4 による T F T 基板の製造方法を説明する製造工程断面図である。

【図 1 7】

従来例 4 による T F T 基板の製造方法を説明する製造工程断面図である。

【図 1 8】

従来例による T F T 基板の製造方法の問題点を説明する図である。

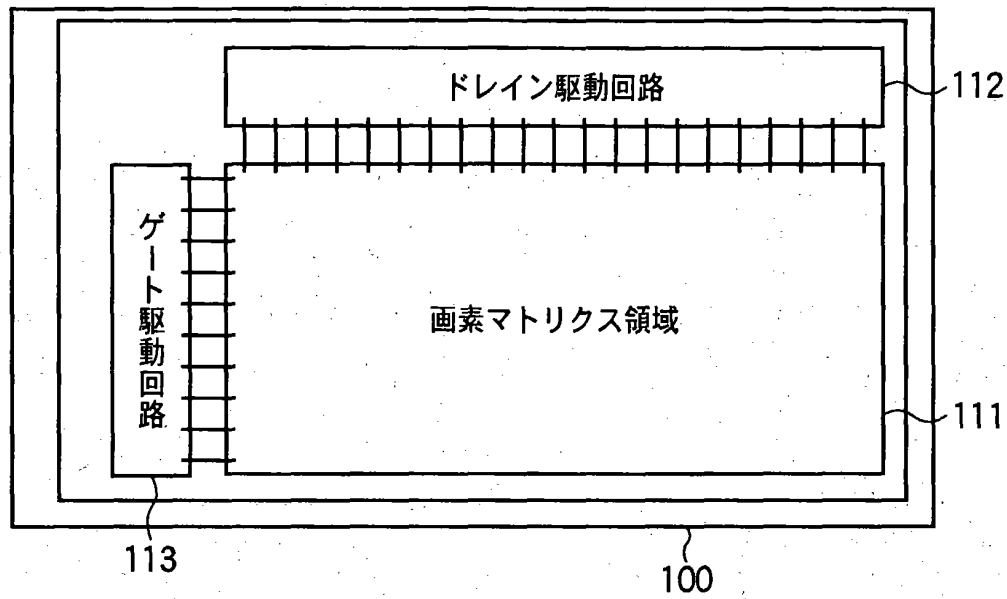
【符号の説明】

- 1, 2 1, 6 1 透明絶縁性基板
- 2, 2 2, 6 2 S i N 膜
- 3, 2 3, 6 3 S i O₂ 膜
- 4, 2 4, 6 4 p - S i 膜
- 7, 2 7, 6 6 導電性薄膜 (ゲート電極)
- 1 1, 1 2, 2 9, 3 1 層間絶縁膜
- 1 4, 3 3 ソース及びドレイン電極
- 1 0 0 液晶表示装置

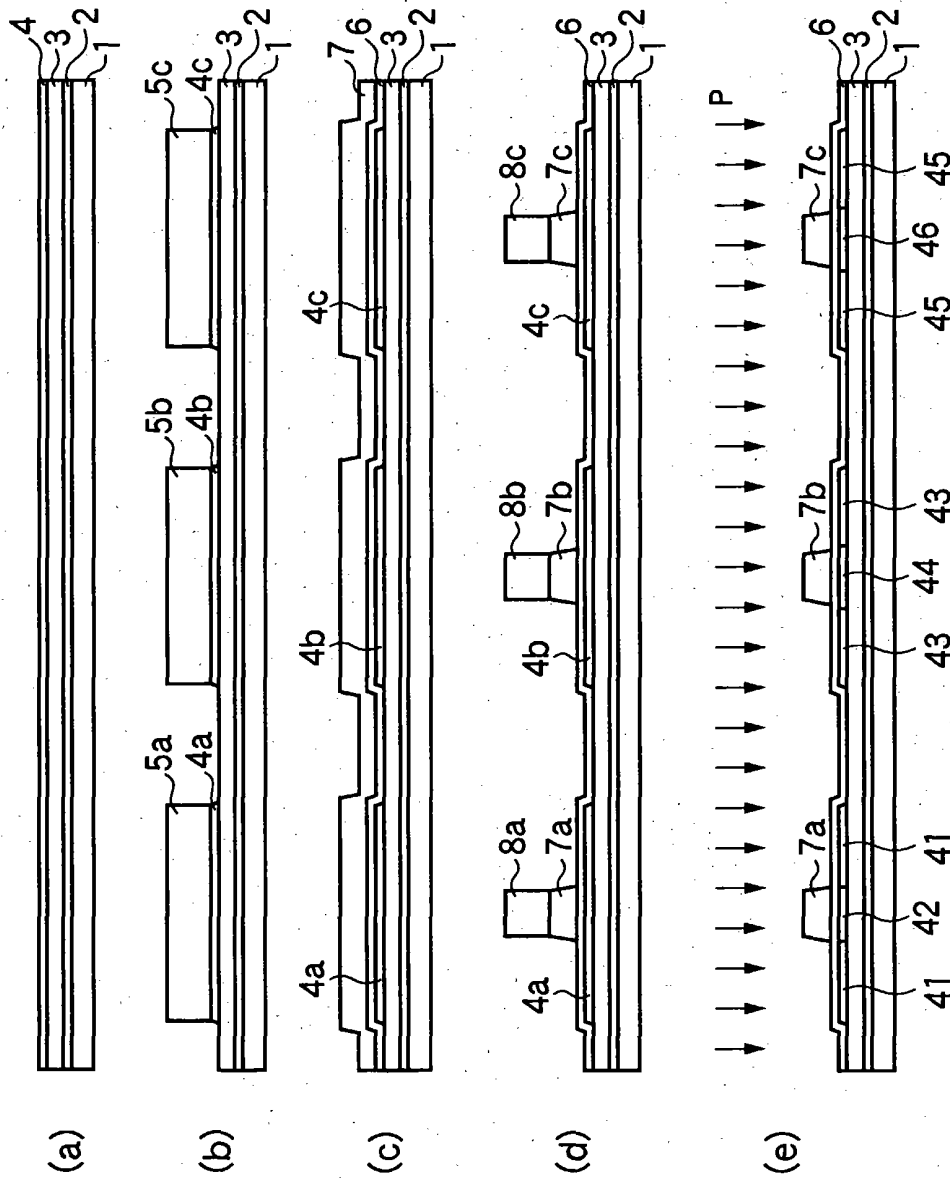
- 110 TFT基板
- 111 画素マトリクス領域
- 112 ドレイン駆動回路
- 113 ゲート駆動回路

【書類名】 図面

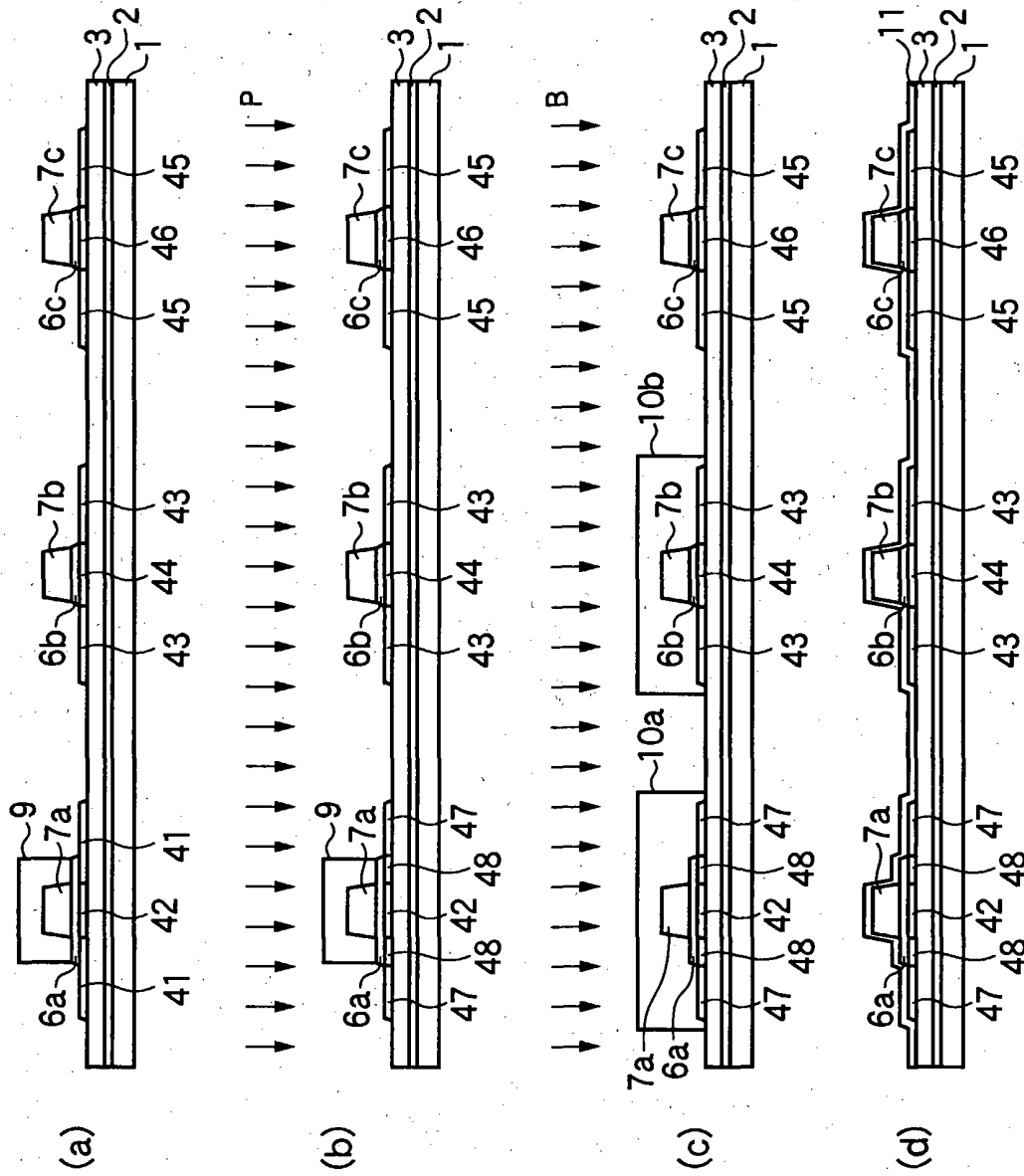
【図 1】



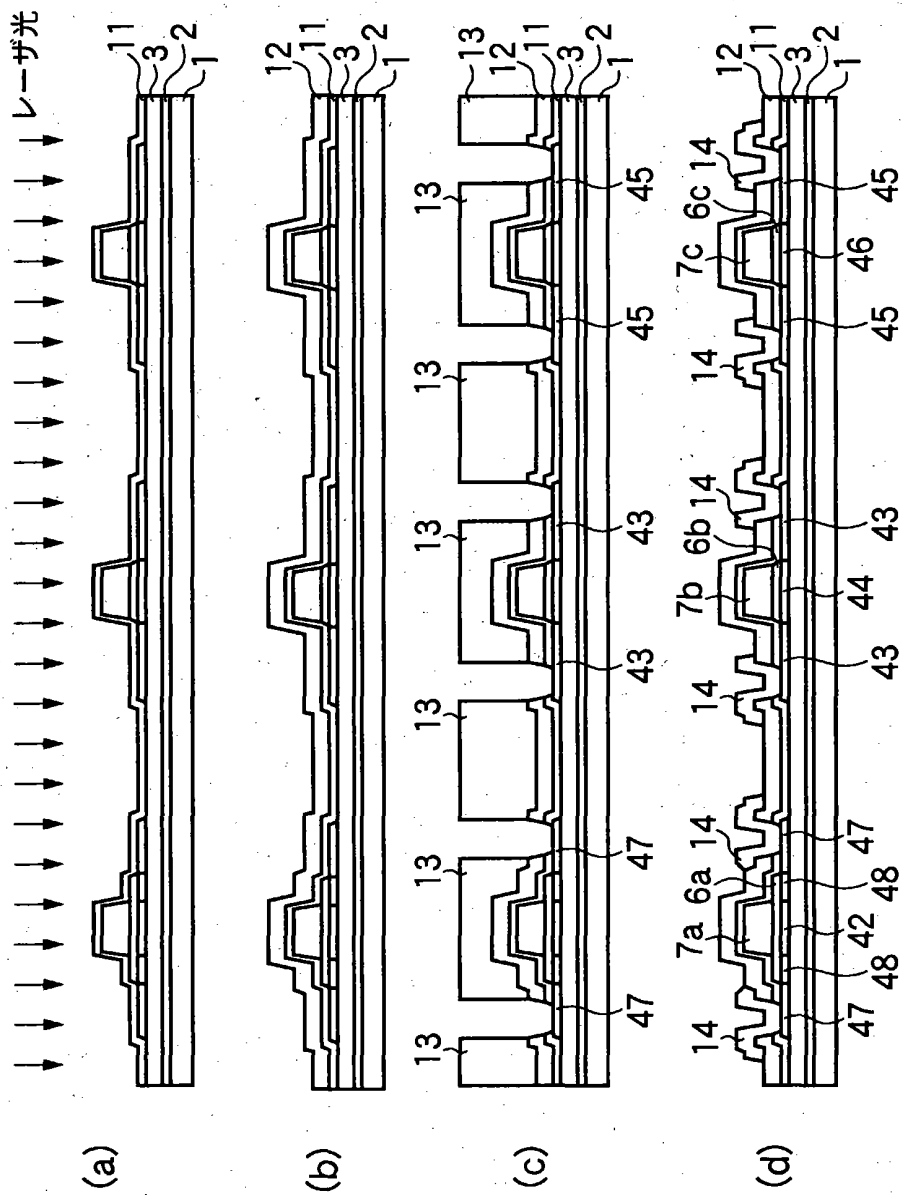
【図2】



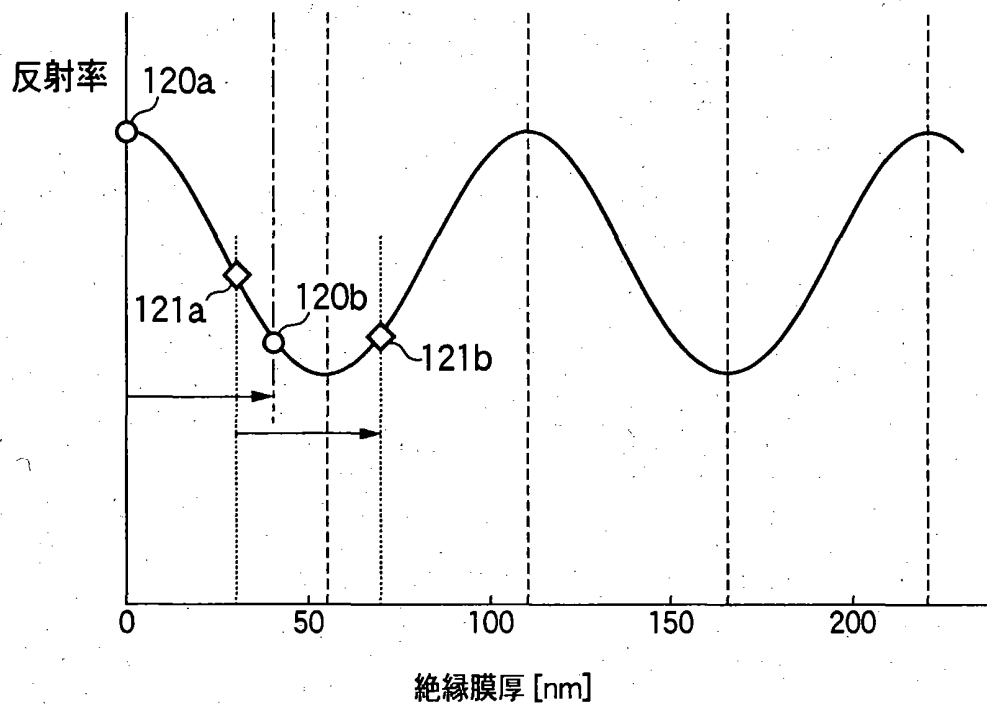
【図3】



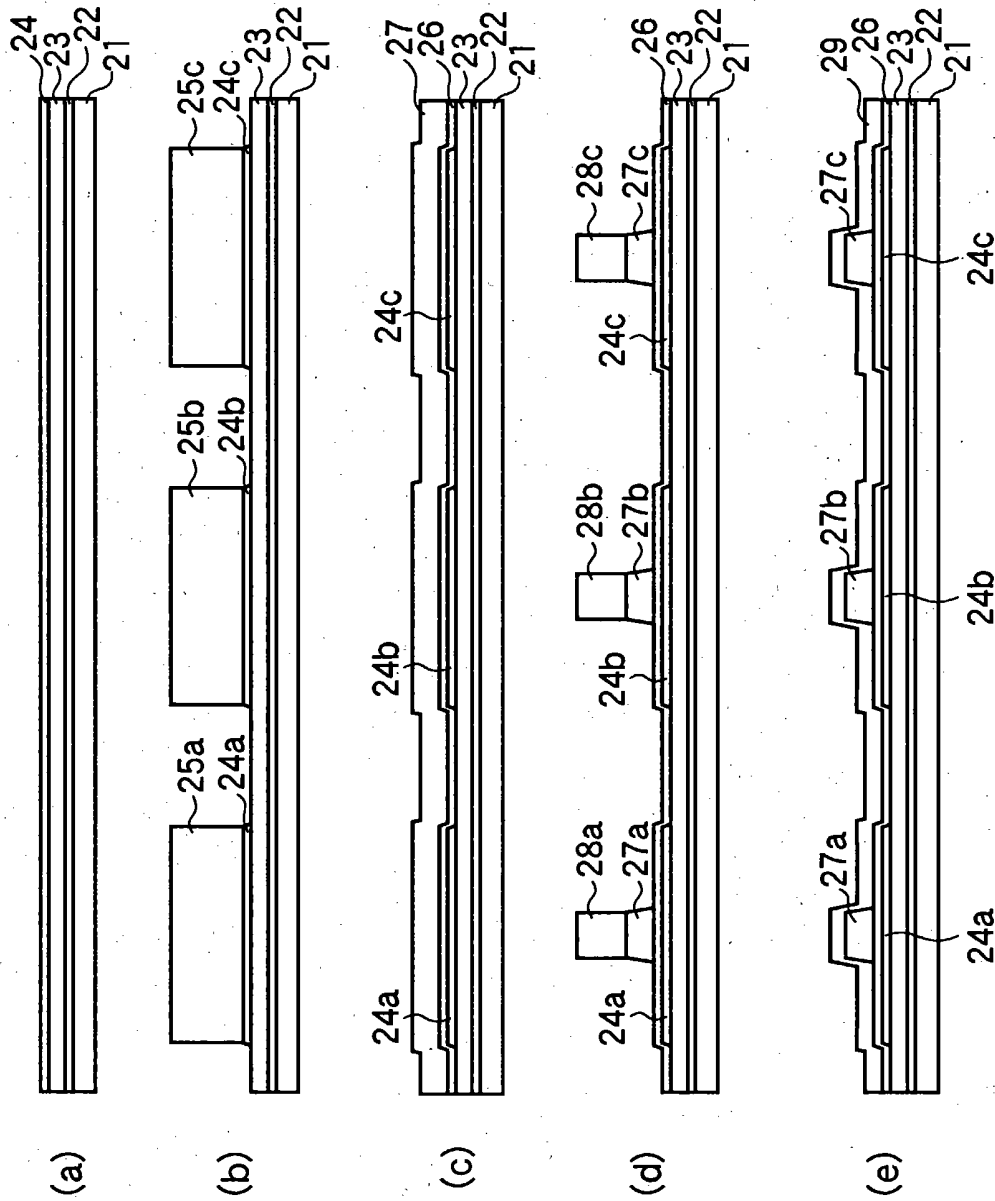
【図 4】



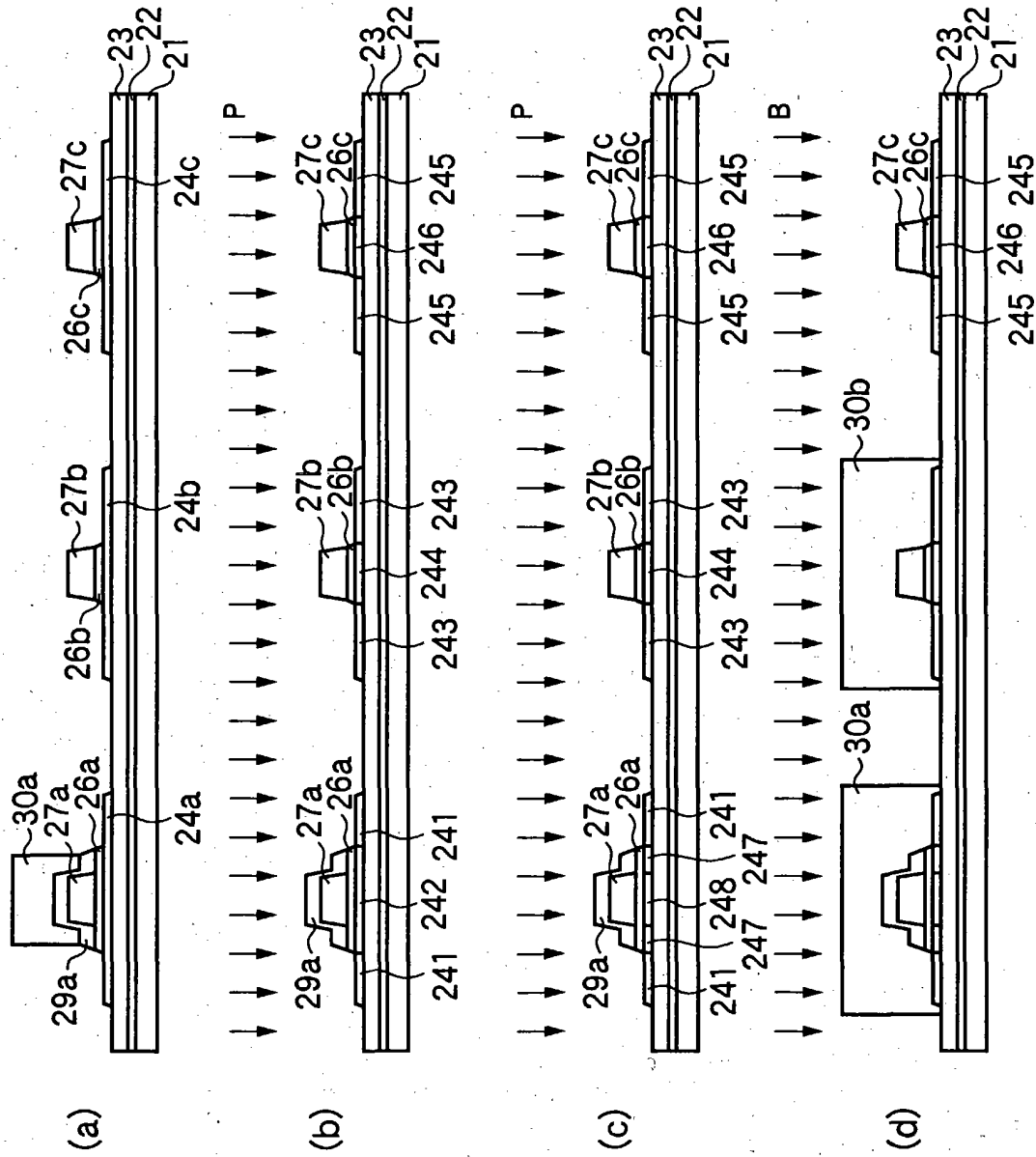
【図 5】



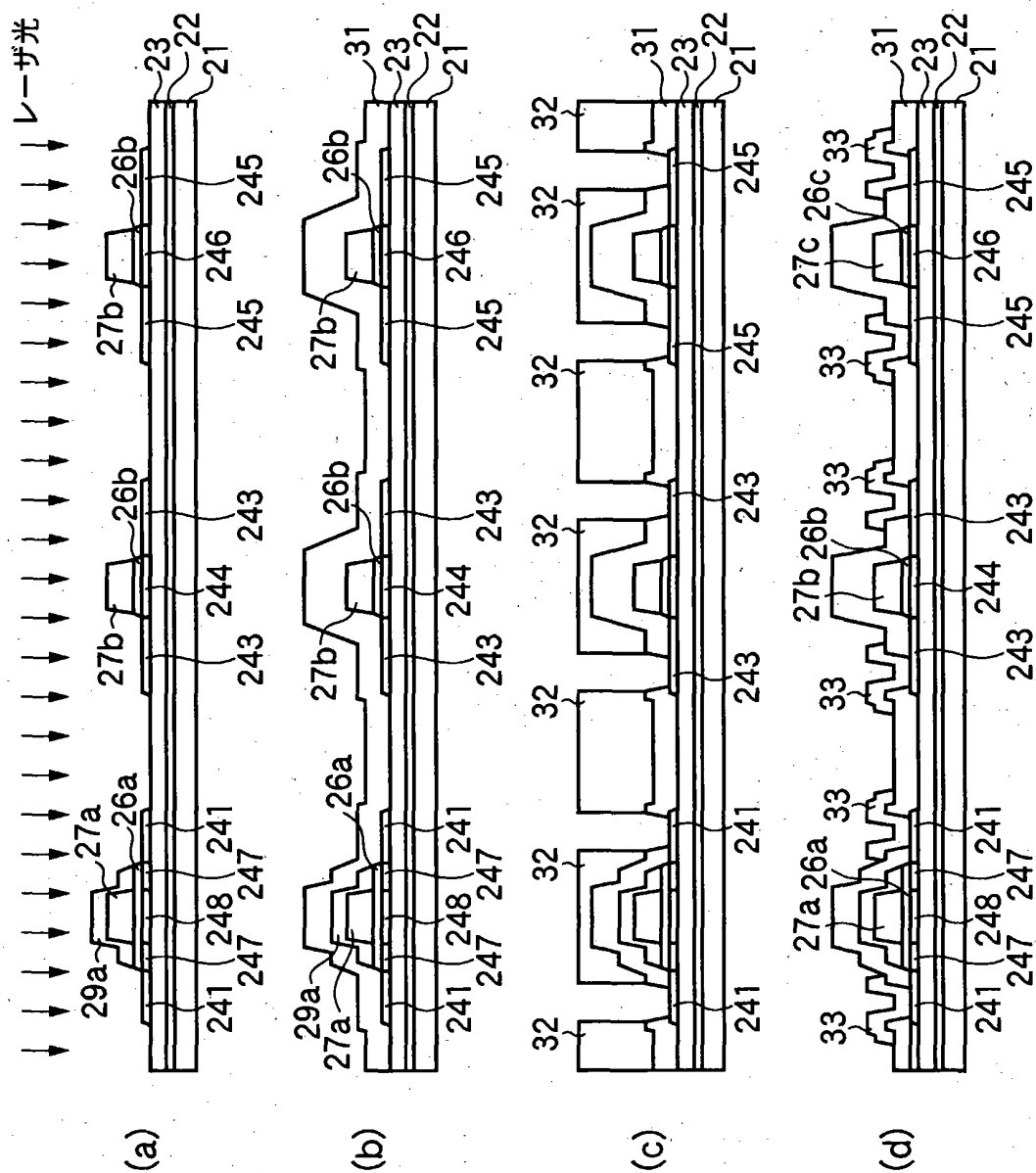
【図6】



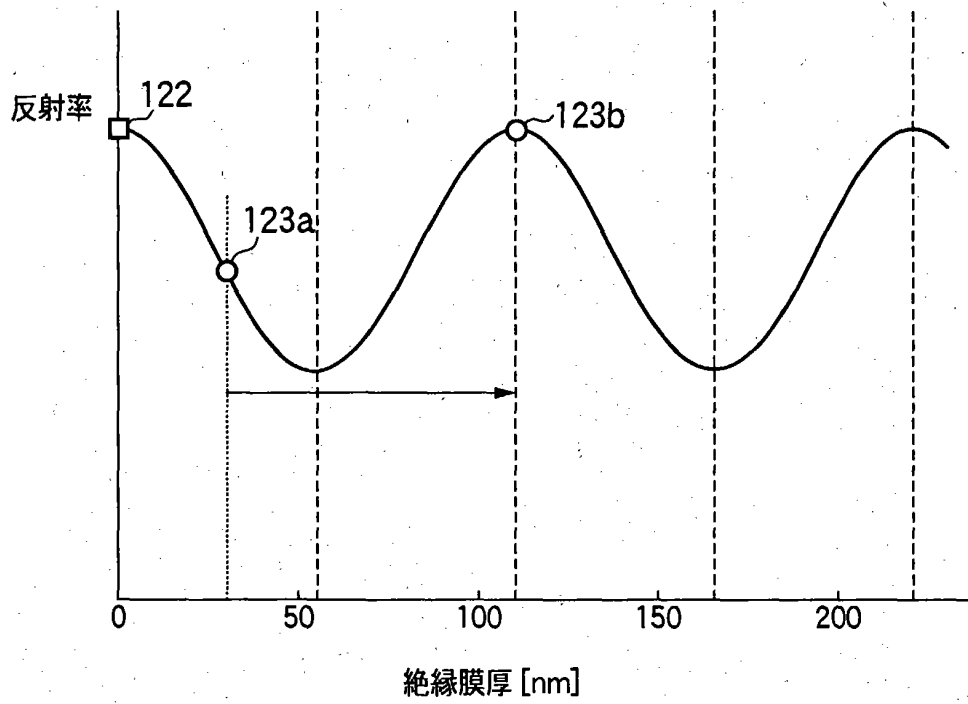
【圖 7】



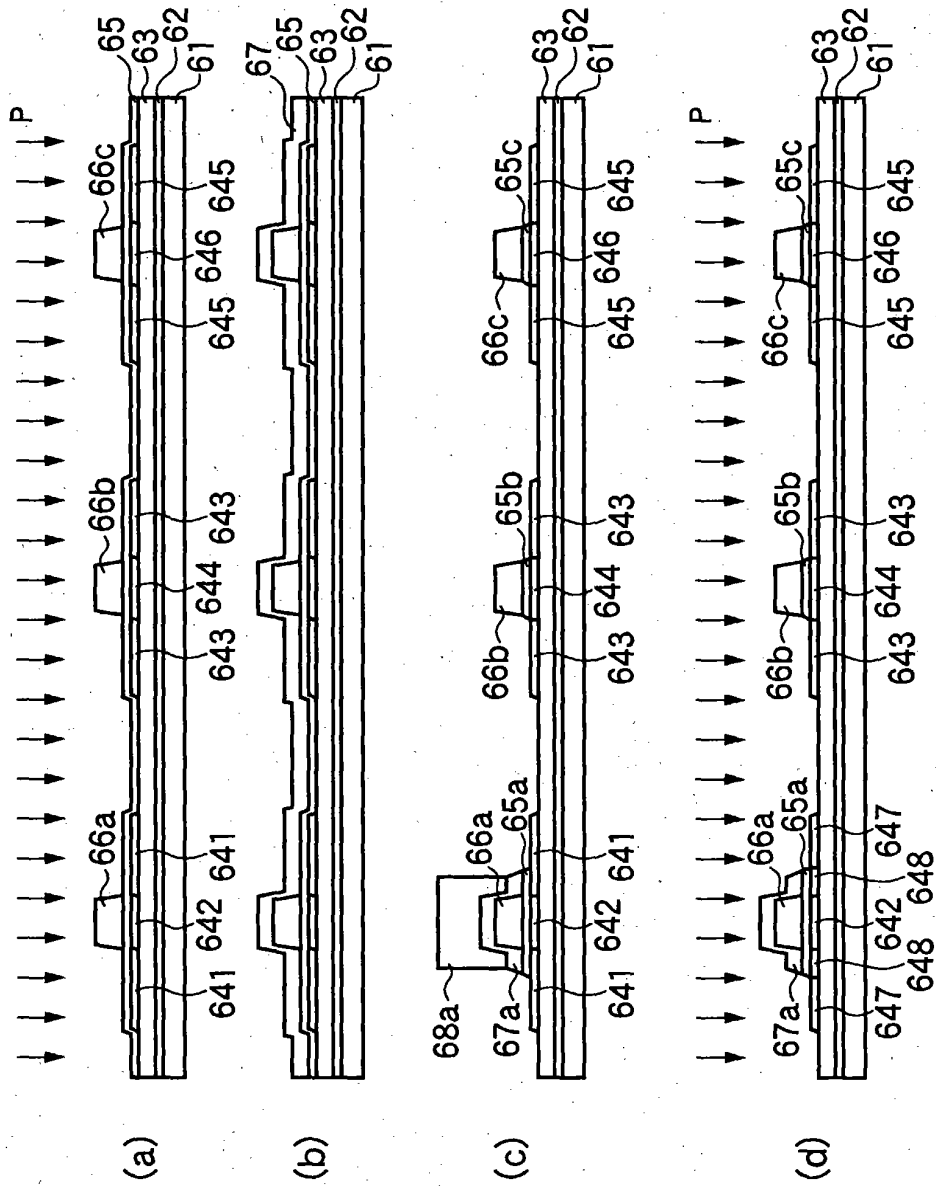
【图 8】



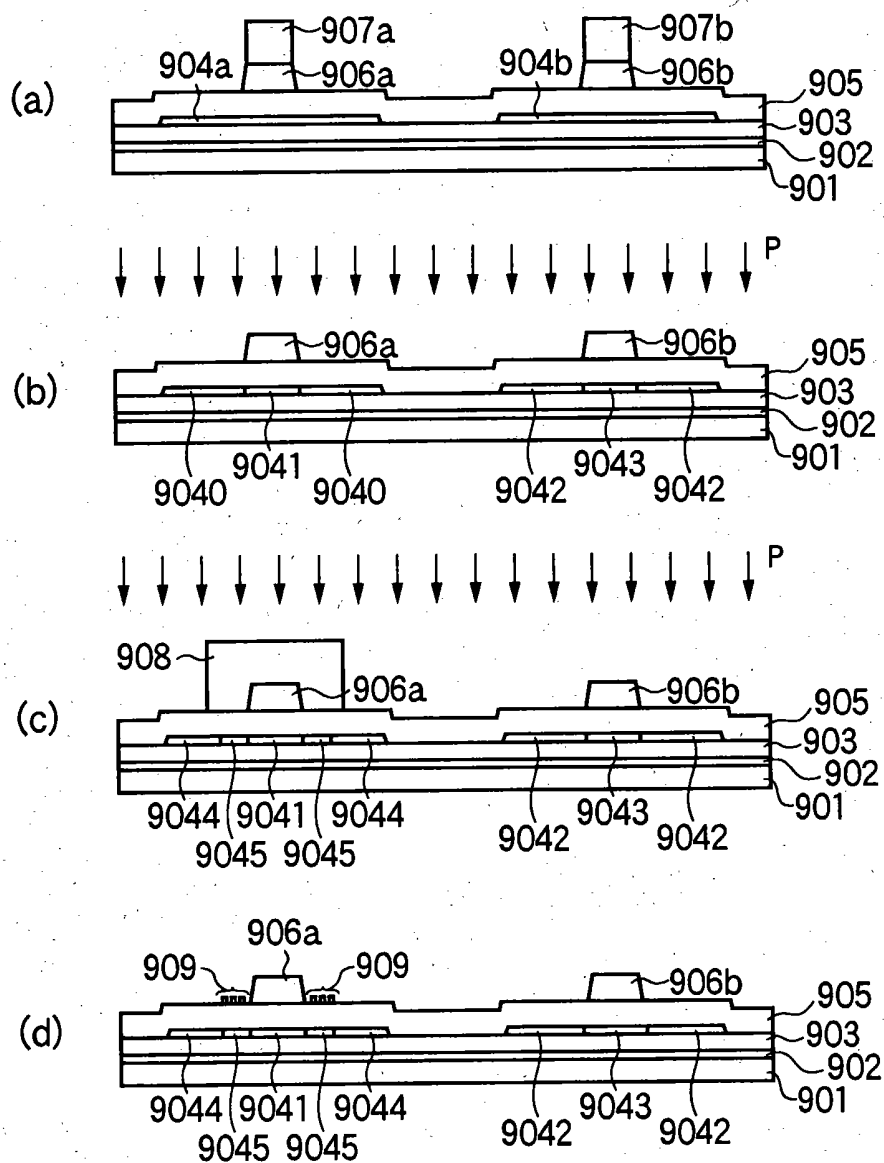
【図 9】



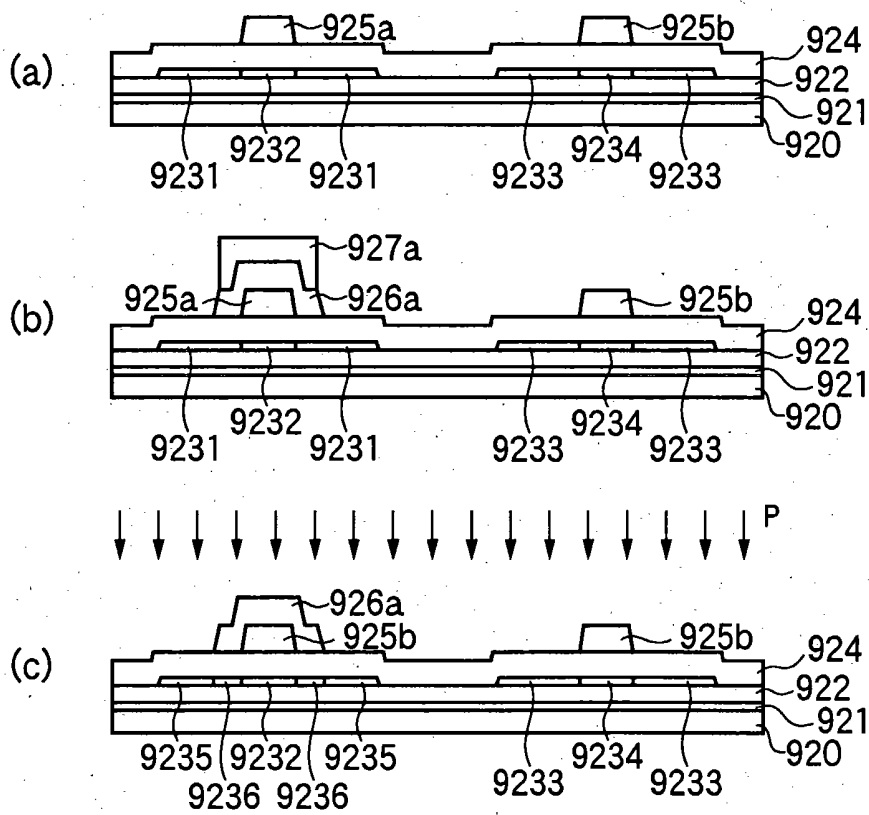
【図10】



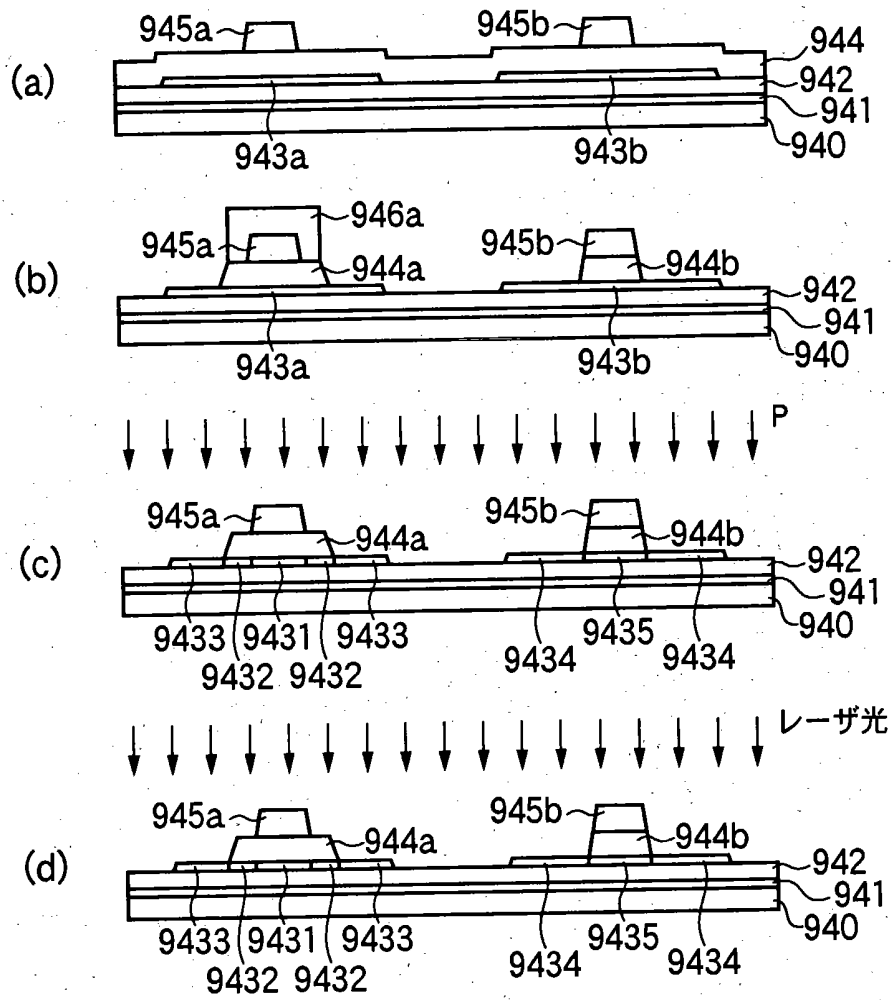
【図 11】



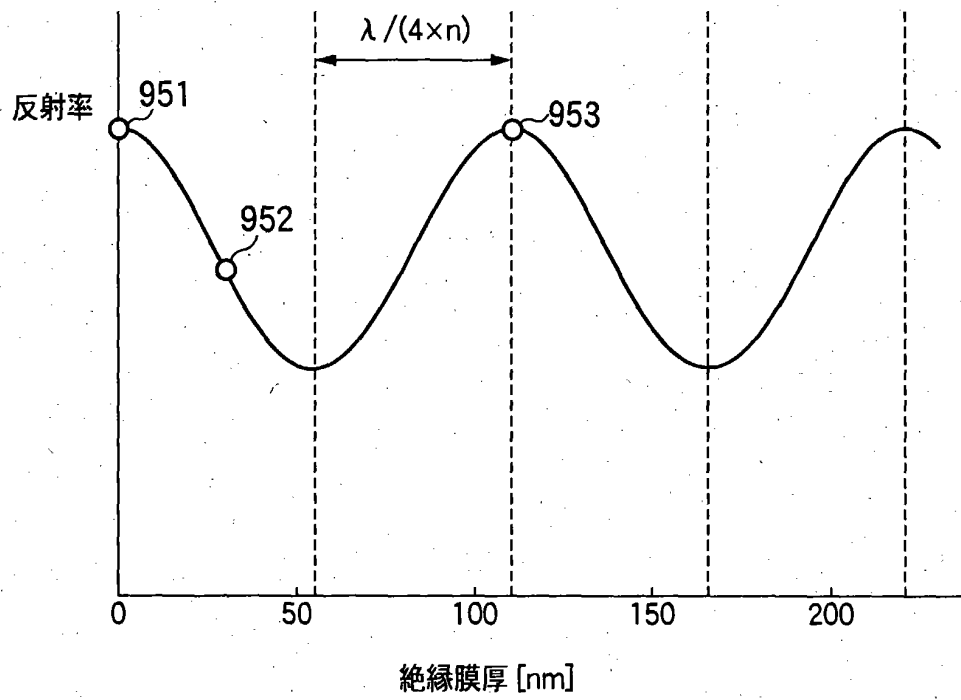
【図 1 2】



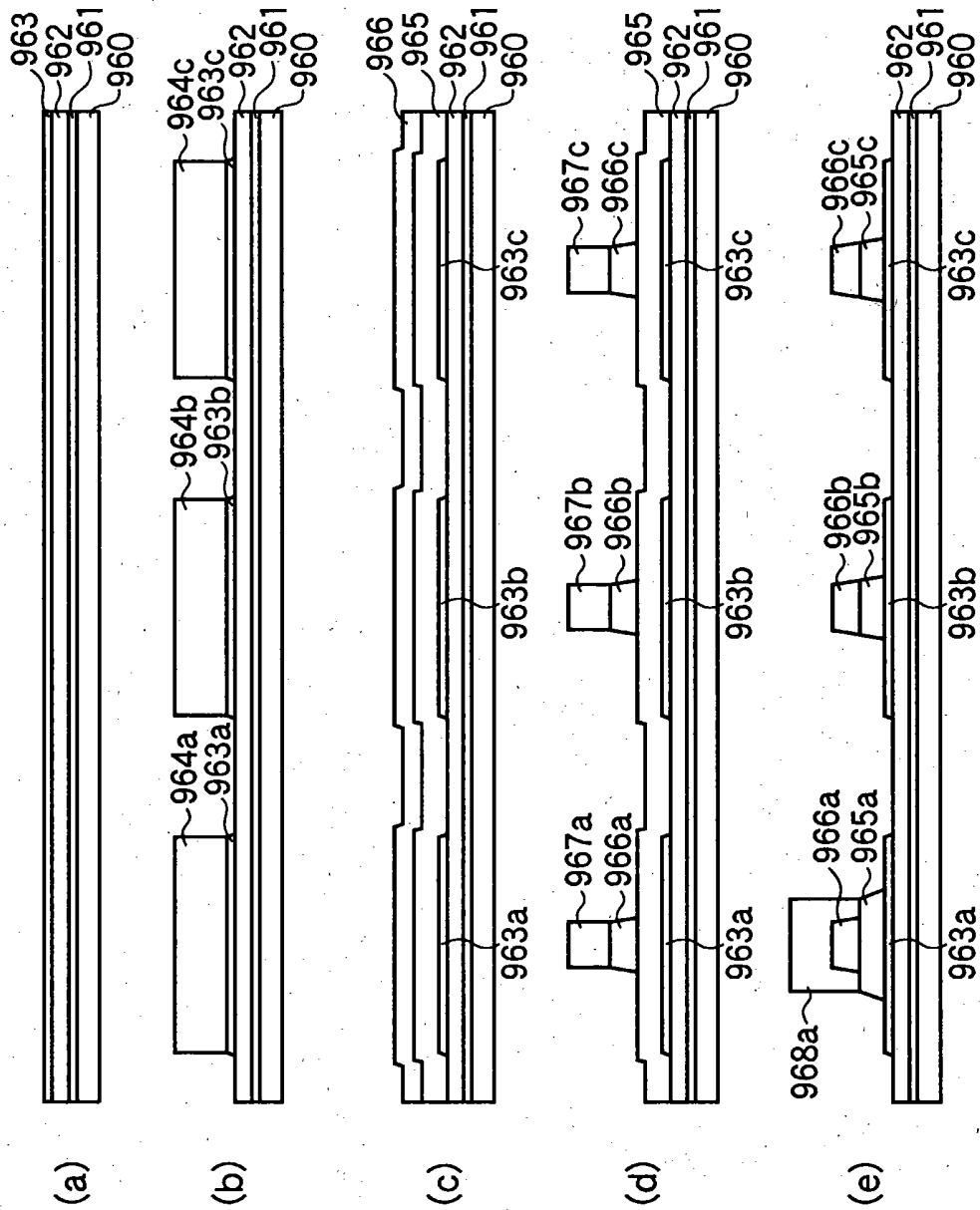
【図13】



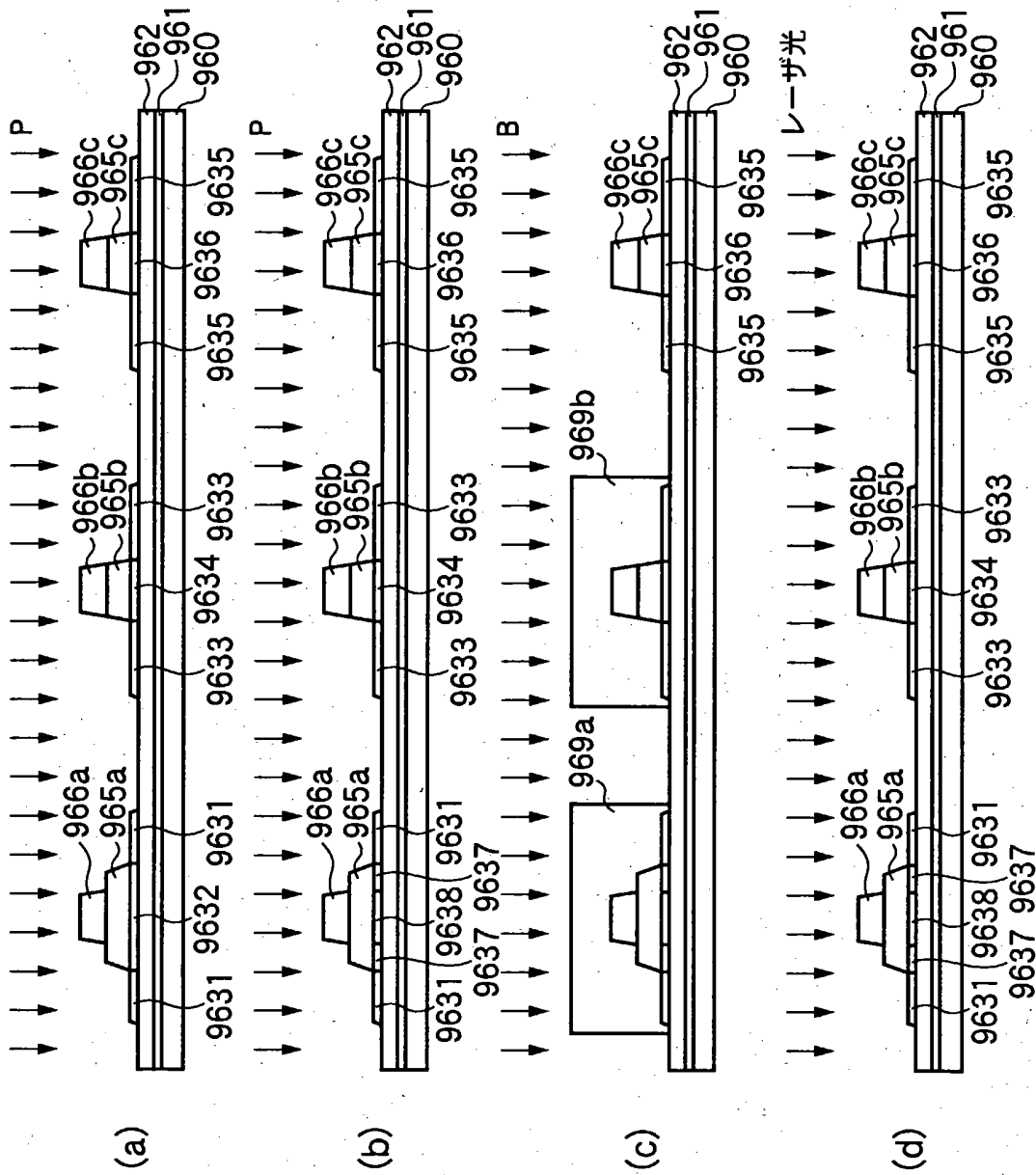
【図 1 4】



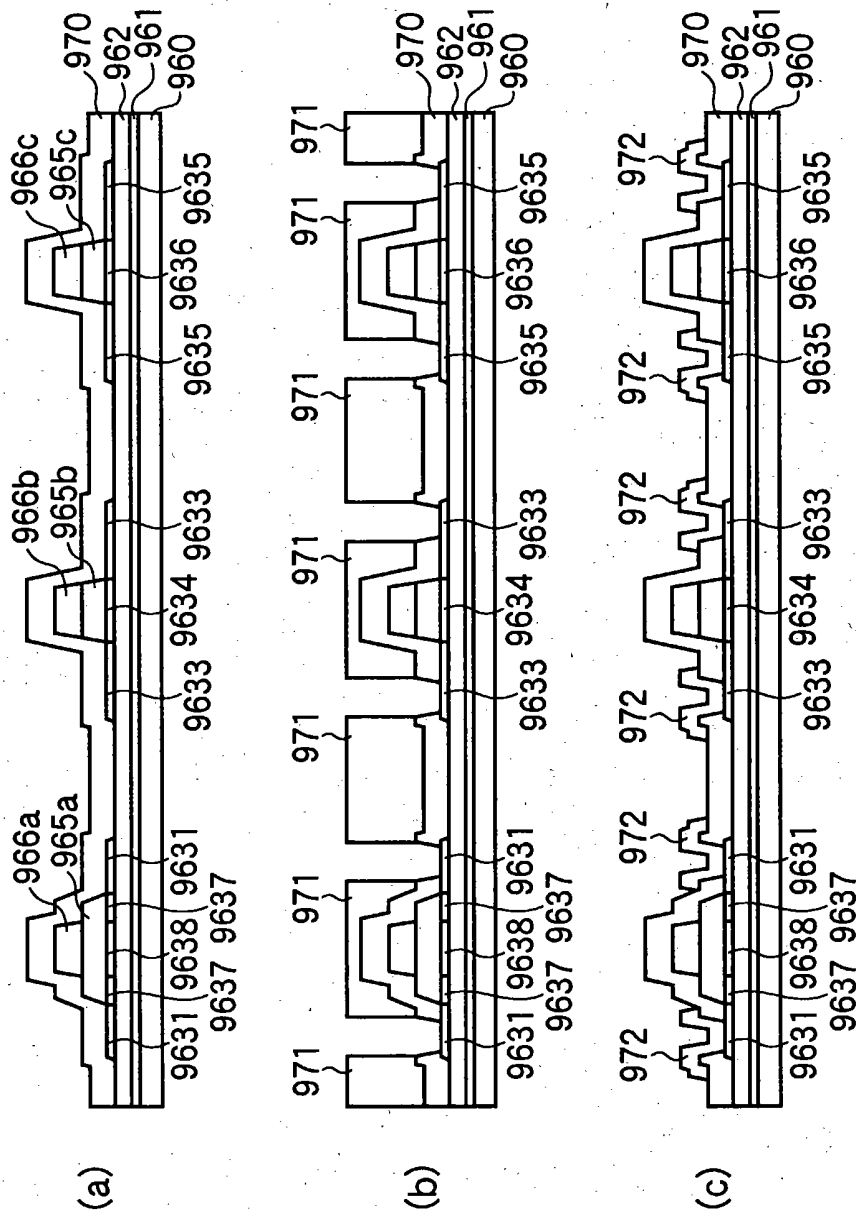
【図15】



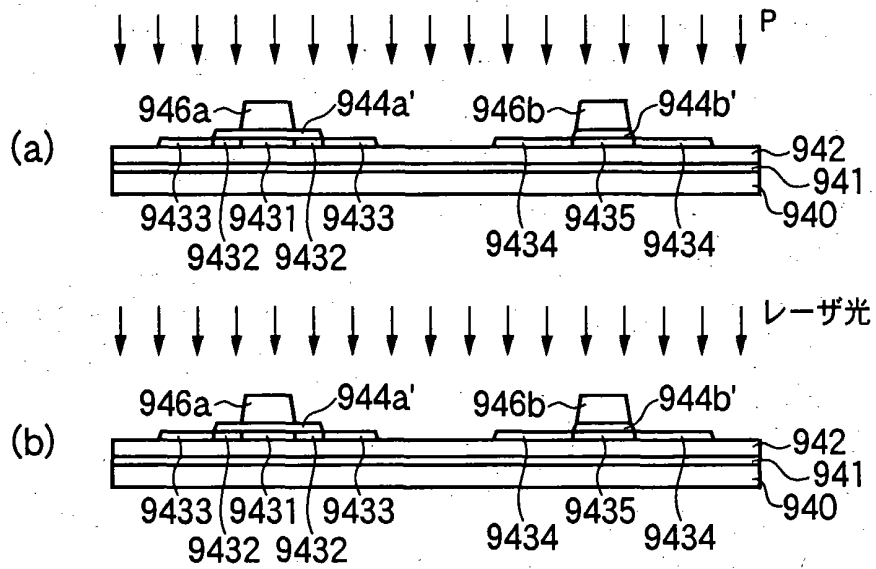
【図16】



【図17】



【図 18】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜を薄膜化してもLDD領域を適切に形成でき、不純物の活性化も適切に行えるようにする。

【解決手段】 ゲート電極を形成後、ゲート絶縁膜をエッチングするレジストマスクを用いて高濃度でn型不純物を注入し、また第1の層間絶縁膜として SiO_2 を成膜した後にレーザ活性化を行う。エッチング用のレジストマスクを残して不純物を注入することで、フォトリソグラフィ工程を増加させず、またゲート絶縁膜を薄膜化してもLDD領域にn型不純物が多く注入されてしまう問題を回避できる。また、ゲート絶縁膜の膜厚に応じて第1の層間絶縁膜である SiO_2 膜の膜厚を変化させれば、レーザ光に対するソース及びドレイン領域である高濃度不純物注入領域での反射率(120b)とLDD領域での反射率(121b)をほぼ同じにすることができ、両領域を同時に充分活性化できるようになる。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [302036002]

1. 変更年月日 2002年 6月13日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通ディスプレイテクノロジーズ株式会社